

—IPE JC.—

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-30450

(P2000-30450A)

(43)公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.
G 11 C 11/407
G 05 F 3/24
G 11 C 11/409

識別記号

F I
G 11 C 11/34
G 05 F 3/24
G 11 C 11/34

テマコード(参考)

3 5 4 F

Z

3 5 3 F

審査請求 未請求 請求項の数16 OL (全 25 頁)

(21)出願番号 特願平11-92781
(22)出願日 平成11年3月31日 (1999.3.31)
(31)優先権主張番号 特願平10-124863
(32)優先日 平成10年5月7日 (1998.5.7)
(33)優先権主張国 日本 (JP)

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 江渡 聰
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 松宮 正人
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74)代理人 100077517
弁理士 石田 敬 (外4名)

最終頁に続く

(54)【発明の名称】 半導体集積回路

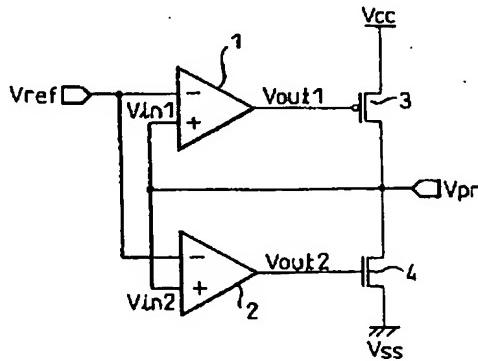
(57)【要約】

【課題】 所定の出力電圧を生成するための半導体集積回路に関し、電源電圧が低い場合でも、ビット線プリチャージ用の電圧やセルキャパシタのセルプレートノードの電圧を安定に生成することを目的とする。

【解決手段】 入力端子に印加される電圧と基準電圧との差を検出する第1および第2のオペレーションナルアンプ1、2と、これらのオペレーションナルアンプから出力される電圧の電圧レベルに応じてオン・オフ動作を行う第1および第2のトランジスタとを備える。第1のオペレーションナルアンプは、入力端子にて出力電圧を受け、出力電圧の電圧レベルが基準電圧よりも低くなったときに第1のトランジスタを動作させて出力電圧の電圧レベルを上げ、第2のオペレーションナルアンプは、出力電圧の電圧レベルが基準電圧よりも高くなったときに第2のトランジスタを動作させて出力電圧の電圧レベルを下げるよう制御する。

図 1

本発明の基本原理に基づく基本実施例の構成を示す回路図



- 1 … 第1のオペレーションナルアンプ
2 … 第2のオペレーションナルアンプ
3 … 第1の出カトランジスタ
4 … 第2の出カトランジスタ

【特許請求の範囲】

【請求項1】 所定の出力電圧を生成する半導体集積回路において、
入力端子に印加される電圧と、少なくとも一つの基準電圧との差を検出する第1のオペレーションナルアンプおよび第2のオペレーションナルアンプと、
前記第1および第2のオペレーションナルアンプから出力される電圧の電圧レベルに応じてオン・オフ動作を行う第1のトランジスタおよび第2のトランジスタとを備え、
前記第1のオペレーションナルアンプは、前記入力端子にて前記出力電圧を受け、該出力電圧の電圧レベルが、前記の少なくとも一つの基準電圧よりも低くなったときに、前記第1のトランジスタを動作させて前記出力電圧の電圧レベルを上げるように制御し、
前記第2のオペレーションナルアンプは、前記入力端子にて前記出力電圧を受け、前記出力電圧の電圧レベルが、前記の少なくとも一つの基準電圧よりも高くなったときに、前記第2のトランジスタを動作させて前記出力電圧の電圧レベルを下げるよう制御することを特徴とする半導体集積回路。
【請求項2】 前記第1および第2のオペレーションナルアンプが、第1のカレントミラーリー回路および第2のカレントミラーリー回路をそれぞれ有すると共に、前記第1および第2のオペレーションナルアンプの各々は、差動増幅器として機能する一対のトランジスタにそれぞれ接続され、
前記基準電圧は、前記第1および第2のオペレーションナルアンプの各々における前記一対のトランジスタの一方のトランジスタのゲートに入力され、かつ、前記出力電圧は、該一対のトランジスタの他方のトランジスタのゲートに入力され、前記第1および第2のオペレーションナルアンプの各々の出力端子における前記電圧は、該一対のトランジスタの一方のトランジスタのドレインから出力され、
前記第1のトランジスタのゲートは、前記第1のオペレーションナルアンプの前記出力端子に接続され、前記第1のトランジスタのソースおよびドレインは、それぞれ、前記基準電圧より高い電圧値を有する第1の電源、および共通のノードに接続され、
前記第2のトランジスタのゲートは、前記第2のオペレーションナルアンプの前記出力端子に接続され、前記第2のトランジスタのドレインおよびソースは、それぞれ、前記共通のノード、および前記基準電圧より低い電圧値を有する第2の電源に接続され、
前記共通のノードは前記所定の出力電圧を出し、前記第1および第2のオペレーションナルアンプの各々における前記一対のトランジスタの他方のトランジスタのゲートに接続される請求項1記載の半導体集積回路。
【請求項3】 前記半導体集積回路は、さらに、前記出

力電圧のレベルをシフトする調整用抵抗を備え、
前記共通のノードは、前記調整用抵抗を介して、前記第1および第2のオペレーションナルアンプの各々における前記一対のトランジスタの他方のトランジスタのゲートに接続されていることを特徴とする請求項2記載の半導体集積回路。

【請求項4】 前記基準電圧が、互いに電圧値が異なる第1の基準電圧および第2の基準電圧からなり、該第1の基準電圧は、前記第1のオペレーションナルアンプの前記一対のトランジスタの一方に入力され、該第2の基準電圧は、前記第2のオペレーションナルアンプの前記一対のトランジスタの一方に入力されることを特徴とする請求項2記載の半導体集積回路。

【請求項5】 前記半導体集積回路は、さらに、前記出力電圧のレベルをシフトする調整用抵抗を備え、
前記共通のノードは、前記調整用抵抗を介して、前記第1および第2のオペレーションナルアンプの各々における前記一対のトランジスタの他方のトランジスタのゲートに接続され、前記第1の基準電圧の電圧値が、前記第2の基準電圧の電圧値よりも常に低くなるように設定されることを特徴とする請求項4記載の半導体集積回路。

【請求項6】 前記第1および第2のオペレーションナルアンプの各々における前記一対のトランジスタが、いずれも第1の伝導型のトランジスタにより構成され、
前記第1のトランジスタが、第2の伝導型のトランジスタにより構成され、また一方で、前記第2のトランジスタが、第1の伝導型のトランジスタにより構成される請求項2から5のいずれか一項に記載の半導体集積回路。

【請求項7】 前記第2のトランジスタと前記第2の電源との間に貫通電流防止用ダイオードを挿入する請求項6記載の半導体集積回路。

【請求項8】 前記第1のオペレーションナルアンプにおける前記一対のトランジスタが、いずれも第1の伝導型のトランジスタにより構成され、また一方で、前記第2のオペレーションナルアンプにおける前記一対のトランジスタが、いずれも第2の伝導型のトランジスタにより構成され、
前記第1のトランジスタが、第2の伝導型のトランジスタにより構成され、また一方で、前記第2のトランジスタが、第1の伝導型のトランジスタにより構成され、
前記第1のトランジスタが動作状態のときに、前記第2のオペレーションナルアンプは、前記第2のトランジスタが非動作状態になるように制御し、これによって、前記第1の電源から前記第1のトランジスタおよび前記第2のトランジスタを通過して前記第2の電源へ貫通電流が流れるのを防止する請求項2から5のいずれか一項に記載の半導体集積回路。

【請求項9】 基準電圧を生成する基準電圧発生回路と、
出力信号を取り出すための出力端子と、

前記基準電圧と前記出力信号の電圧の差に基づき、第1の制御信号および第2の制御信号をそれぞれ出力する第1の検出回路および第2の検出回路と、
第1の電源と前記出力端子との間に設けられる第1のトランジスタと、
前記出力端子と第2の電源との間に設けられる第2のトランジスタとを備え、
前記第1のトランジスタのコンダクタンスは、前記第1の制御信号により制御され、かつ、前記第2のトランジスタのコンダクタンスは、前記第2の制御信号により制御されることを特徴とする定電圧発生回路。

【請求項10】前記第1および第2の検出回路の各々が、一対のトランジスタと、前記第1の電源と前記一対のトランジスタとの間に接続されるカレントミラー回路とを有し、
前記一対のトランジスタの各々のゲートは前記基準電圧および前記出力信号をそれぞれ受け、該一対のトランジスタのドレインは前記第2の電源に共通に接続され、
前記第1および第2の制御信号は、それぞれ対応する前記カレントミラー回路と、それぞれ対応する前記一対のトランジスタとの間の接続ノードから出力される請求項9記載の定電圧発生回路。

【請求項11】前記定電圧発生回路が、さらに、前記出力端子と、前記第1および第2の検出回路の各々の入力端子との間に設けられる電圧シフト回路を備える請求項9記載の定電圧発生回路。

【請求項12】前記基準電圧発生回路が、互いに電圧値が異なる第1の基準電圧および第2の基準電圧を供給し、

前記第1の検出回路は前記第1の基準電圧に応答し、前記第2の検出回路は前記第2の基準電圧に応答する請求項9記載の定電圧発生回路。

【請求項13】前記第1および第2の検出回路の各々が、前記第1の電源に接続され、かつ、前記基準電圧および前記出力信号をそれぞれ受けるカレントミラー回路とを有し、

前記第1および第2の制御信号は、前記第1の電源と、それぞれ対応する前記カレントミラー回路との間の接続ノードから出力される請求項9記載の定電圧発生回路。

【請求項14】前記第1の検出回路における前記一対のトランジスタが、Nチャネル型MOSトランジスタにより構成され、前記第2の検出回路における前記一対のトランジスタが、Pチャネル型MOSトランジスタにより構成される請求項10記載の定電圧発生回路。

【請求項15】前記出力端子が、ダイナミック・ランダムアクセスメモリ内の少なくとも一つのピット線およびセルキャバシタに接続される請求項9記載の定電圧発生回路。

【請求項16】前記出力電圧が、前記第1の電源と前記第2の電源との間の電圧の1/2に相当する電圧値を

有する請求項9記載の定電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、目的とする出力電圧を安定に生成する機能を有するダイナミック・ランダムアクセスメモリ（通常、DRAMと略記する）からなる半導体集積回路に関する。通常、DRAMからなる半導体集積回路においては、複数のワード線、および同ワード線と交差する複数の対のピット線をマトリクス状に配置し、これらのワード線とピット線との交点にそれぞれ形成される複数のメモリセルを含むメモリセルアレイが設けられている。

【0002】これらの複数のメモリセルから選択されたメモリセルから“1”または“0”的データを読み出す場合、当該メモリセル内のセルキャバシタに蓄積されている電荷に応じて同メモリセルに接続された一対のピット線の電位を変化させ、これらのピット線の電位の変化をセンサアンプにより検知している。ここで、できる限り少ない消費電流（消費電力）でもって上記ピット線の電位の変化を確実に検出するために、通常は、当該メモリセル内のセルキャバシタに蓄積されている電荷を上記一対のピット線の容量に再分配する前に、これらのピット線をショートして同ピット線が一定の電源電圧（例えば、高電圧レベルの電源電圧Vccの1/2の電圧=Vcc/2）になるようにプリチャージする方式が使用されている。

【0003】また一方で、上記メモリセル内のセルキャバシタのセルストレージノードには、記憶しているデータの“H (High)”レベルまたは“L (Low)”レベルに応じて、高電圧レベルの電源電圧Vcc、または低電圧レベルの電源電圧Vss (=0V) が印加される。通常のDRAMでは、データ保持時間を長くするためにセルキャバシタの容量値（キャパシタンス）をできる限り大きくすることが要求される。このためには、セルキャバシタの絶縁膜の膜厚をできる限り薄くすることが必要であるが、この絶縁膜の膜厚を薄くすればするほど、セルキャバシタの絶縁耐圧は低くなる。しかしながら、セルキャバシタのセルストレージノードに対向する電極（セルプレートノード）の電圧をVcc/2にしておけば、セルキャバシタのセルストレージノードに電源電圧VccまたはVssが印加された場合でもセルキャバシタの絶縁膜にかかる電位差はVcc/2で済む。すなわち、セルキャバシタのセルストレージノードに対向する電極の電圧をVcc/2に設定した場合、セルキャバシタの絶縁膜には、セルキャバシタのセルストレージノードに対向する電極の電圧をVccまたはVssに設定した場合に比べて1/2の電圧しかかからなくなる。それゆえに、絶縁膜の膜厚をより薄くしてセルキャバシタの容量値を比較的大きくすることが可能になり、データ保持時間を長くするために有利となる。

【0004】特に、近年は、半導体集積回路全体の消費電力を最小限に抑えるために、できる限り低い電源電圧、例えば2V以下の電源電圧でもってDRAMを動作させることが要求されている。上記のとおり、通常のDRAMでは、ビット線をプリチャージする際の電圧や、セルキャパシタのセルストレージノードに対向する電極の電圧をVcc/2に設定するようにしており、このために、1V以下の低い電圧を安定に発生させが必要になってくる。

【0005】

【従来の技術】まず、DRAM内で電源電圧Vccの1/2の電圧（すなわち、Vcc/2の電圧）を生成することが必要な理由、および1V以下のVcc/2の電圧を生成する場合の問題点をより明確にするために、添付の図面

（図9～図14）を参照しながら、一般的DRAMにおけるビット線プリチャージ回路およびメモリセルの構成例や、ビット線をプリチャージしたときのビット線の電位の変化や、従来の定電圧発生回路を有する半導体集積回路の構成例を説明する。

【0006】図9は、一般的DRAMの概略的な構成を示すブロック図、図10は、図9のセンスアンプ内のビット線プリチャージ回路の構成例を示す回路図、図11は、図9のメモリセルアレイ内のメモリセルの構成例を示す回路図、図12は、電源電圧Vccの1/2の電圧でもってビット線をプリチャージするときのビット線の電位の変化を示すタイミングチャート、図13は、電源電圧Vss (=0V) でもってビット線をプリチャージするときのビット線の電位の変化を示すタイミングチャートである。

【0007】図9に示すように、一般的DRAMは、複数のワード線と複数の対のビット線とをマトリクス状に配置し、これらのワード線とビット線との交点にそれぞれ形成される複数のメモリセルを含むメモリセルアレイ100を備えている。さらに、上記DRAMは、入力バスファ500を介して入力される制御アドレスA0～Am (mは1以上の任意の正の整数) をデコードして特定のメモリセルを選択するためのメモリセル選択信号を生成するデコーダ600を備えている。このデコーダ600は、上記メモリセル選択信号に基づき、特定のメモリセルに接続されたワード線に一定の昇圧電圧Vpp (内部電圧である電源電圧Vccより高い電圧) を印加することによってワード線を選択し、出てきたデータをセンスするか、もしくはデータを書き替えることで、上記特定のメモリセルに対するデータの読み出し動作や書き込み動作を行う機能を有する。

【0008】さらに、上記DRAMは、デコーダ600にて選択された特定のメモリセルに対する読み出し動作を行ったときに、特定のメモリセル内のセルキャパシタCc (後述の図11参照) から転送される電荷を検出することによって同メモリセル内のデータの読み出しを行

うセンスアンプ200を備えている。このセンスアンプ200にて読み出されたデータは、メインアンプ300により所定のレベルまで増幅された後にI/Oバッファ400を介して、ディジタルのI/OデータDQ0～DQn (n=0, 1, 2...) としてDRAMの外部に出力される。

【0009】上記のような構成のDRAMにおいて、前述のような電源電圧Vccの1/2の電圧Vcc (図10および図11の出力電圧Vpr) を必要とするのは、図10に示すようなセンスアンプ200内のビット線プリチャージ回路と、図11に示すような任意の一つのメモリセル100内のセルキャパシタである。なお、電源電圧Vccの1/2の電圧が使用されている構成部分がよくわかるように、図9のセンスアンプ200およびメモリセル100の各々に斜線を施している。

【0010】さらに詳しく述べると、図9に示すセンスアンプ200内のビット線プリチャージ回路は、特定のメモリセルを選択するための一対のビット線BL、/BLをプリチャージするビット線プリチャージ用トランジスタ210、220および230を備えている。ここで、一つのビット線プリチャージ用トランジスタ230は、NMOSトランジスタ (Nチャネル型MOSトランジスタの略) からなり、一対のビット線BL、/BLの両方の電位を等しくするために、これらの一対のビット線BL、/BLにそれぞれ接続されるソースおよびドレイン (または、ドレインおよびソース) を有する。さらに、上記のビット線プリチャージ用トランジスタ230のゲートを通して、プリチャージイネーブル信号φsが入力される。他の2つのビット線プリチャージ用トランジスタ210、220は、一対のビット線BL、/BLをプリチャージするための2つのNMOSトランジスタからなる。この場合、ビット線プリチャージ用トランジスタ210のドレイン (またはソース) は、一方のビット線BLに接続されると共に、ビット線プリチャージ用トランジスタ220のドレイン (またはソース) は、他方のビット線/BLに接続され、かつ、これらのビット線プリチャージ用トランジスタ210、220のソース (またはドレイン) は、共通のノードに接続される。この共通のノードに対し、プリチャージ用の出力電圧Vpr (例えば、電源電圧Vccの1/2の電圧 (Vcc/2)) が印加されると共に、3つのビット線プリチャージ用トランジスタ210～230の各々のゲートにプリチャージイネーブル信号φsが入力される。

【0011】さらに、図11に示す1トランジスタ・1キャパシタ形の任意の一つのメモリセルは、1個のNMOSトランジスタからなるセルトランジスタTcと、1個のセルキャパシタCcにより構成される。このようなタイプのメモリセルに対しビット線BL、/BLを介してデータ“1”またはデータ“0”を書き込む場合、ワード線WLからセルトランジスタTcのゲートへ昇圧電

圧を供給してセルトランジスタ T_c を動作状態（オン状態）にするようしている。さらに、この場合、データの“1”または“0”に対応してセルキャパシタ C_c に電荷を蓄積するようにしている。さらに、当該メモリセルを選択することによってデータの読み出しを行う場合、上記セルキャパシタ C_c と上記メモリセルに接続された一対のビット線の容量との間で、同セルキャパシタ C_c に蓄積された電荷を再分配することで上記一対のビット線の電位を変化させ、これらのビット線の電位の変化をセンサアンプにより検知している。

【0012】ついで、図12および図13のタイミングチャートに基づき、複数のメモリセルから選択された特定のメモリセルから“1”または“0”的データを読み出す場合に、 $V_{cc}/2$ の電圧でもって一対のビット線をプリチャージするときのビット線の電位の変化と、 V_{ss} ($= 0\text{ V}$) の電圧でもって上記一対のビット線をプリチャージするときのビット線の電位の変化とを比較することによって、プリチャージの電圧とデータの読み出し動作時に消費される消費電力との関係について考察する。

【0013】図12に示すように、アクティブ状態になっている特定のメモリセルに書き込まれたデータを読み出す前に、 $V_{cc}/2$ の電圧でもって一対のビット線をプリチャージした場合、上記ビット線の各々の容量の容量値を C_{bl} としたときに電源電圧 V_{cc} の高電圧側電源から供給される電荷量は、①のタイミングで $(V_{cc}/2) \cdot C_{bl}$ になり、②のタイミングで 0 になる。なお、③のタイミングで 0 になるのは、同じ容量値の一対のビット線 B_L 、 $/B_L$ をショートしてプリチャージすれば、両方のビット線が自動的に $V_{cc}/2$ の電圧になるからである。したがって、 $V_{cc}/2$ によるプリチャージ方式における 1 サイクル当たりの消費電荷量は $(V_{cc}/2) \cdot C_{bl}$ になる。この消費電荷量は、1 サイクル当たりの消費電流、すなわち、消費電力に比例する。

【0014】また一方で、図13に示すように、アクティブ状態になっている特定のメモリセルに書き込まれたデータを読み出す前に、 V_{ss} の電圧（低電圧側電源の電圧 = 0 V ）でもって一対のビット線をプリチャージした場合、電源電圧 V_{cc} の高電圧側電源から供給される電荷量は、①のタイミングで $V_{cc} \cdot C_{bl}$ になり、②のタイミングで 0 になる。したがって、 V_{ss} によるプリチャージ方式における 1 サイクル当たりの消費電荷量は $V_{cc} \cdot C_{bl}$ になる。この消費電荷量もまた、1 サイクル当たりの消費電流、すなわち、消費電力に比例する。この V_{ss} によるプリチャージ方式における 1 サイクル当たりの消費電荷量は、前述の $V_{cc}/2$ によるプリチャージ方式の場合の 2 倍になってしまふ。それゆえに、 $V_{cc}/2$ によるプリチャージ方式は、できる限り少ない消費電力でもつてデータの読み出し動作を行うために有効な手段であることがわかる。

【0015】さらに、図11のメモリセルにおいて、セ

ルキャパシタ C_c のセルストレージノードに対向する電極（セルプレートノード N_c ）の電圧を $V_{cc}/2$ ($= V_{pr}$) の電圧にすることが有効な理由を説明する。図11のセルキャパシタ C_c のセルストレージノードには、メモリセル内のセルトランジスタ T_c が動作状態（オン状態）であるか非動作状態（オフ状態）であるかに応じて、“H” レベル（高電圧レベルの電源電圧 V_{cc} ）または“L” レベル（低電圧レベルの電源電圧 V_{ss} ）の電圧が印加される。例えば、セルキャパシタ C_c のセルプレートノード N_c に電源電圧 V_{ss} ($= 0\text{ V}$) を印加しておくと、セルキャパシタ C_c のセルストレージノードに “H” レベルの電圧が印加されたときに、セルキャパシタの絶縁膜に対し電源電圧 V_{cc} に相当する電位差がかからてしまう。また一方で、セルキャパシタ C_c のセルプレートノード N_c に電源電圧 V_{cc} を印加しておくと、セルキャパシタ C_c のセルストレージノードに “L” レベルの電圧が印加されたときにも、セルキャパシタの絶縁膜に対し電源電圧 V_{cc} に相当する電位差がかからてしまう。

【0016】これに対し、セルキャパシタ C_c のセルプレートノード N_c に $V_{cc}/2$ の電圧を印加しておくと、セルキャパシタ C_c のセルストレージノードに “H” レベルおよび “L” レベルの電圧のいずれの電圧が印加されたときでも、セルキャパシタの絶縁膜には $V_{cc}/2$ の電圧に相当する電位差しかからなくなる。通常のDRAMでは、メモリセルの高密度化を図るためにセルキャパシタの容量値をできる限り高くすることが要求される。このためには、セルキャパシタの絶縁膜の膜厚をできる限り薄くすることが必要であるが、この絶縁膜の膜厚を薄くすればほど、セルキャパシタの耐圧は低くなる。しかしながら、セルキャパシタのセルプレートノード N_c に対し常に $V_{cc}/2$ の電圧を印加しておけば、セルキャパシタのセルストレージノードに “H” レベルおよび “L” レベルの電圧のいずれの電圧が印加された場合でもセルキャパシタの絶縁膜にかかる電位差は $V_{cc}/2$ で済む。すなわち、セルキャパシタのセルプレートノード N_c の電圧 V_{pr} を $V_{cc}/2$ に設定した場合、セルキャパシタの絶縁膜には、セルキャパシタのセルプレートノード N_c の電圧を電源電圧 V_{cc} または V_{ss} に設定した場合に比べて $1/2$ の電圧しかからなくなる。このように、セルキャパシタ C_c のセルストレージノードに対向する電極の電圧を $V_{cc}/2$ の電圧にすることにより、絶縁膜の膜厚をより薄くしてセルキャパシタの容量値を比較的大きくすることが可能になる。

【0017】図14は、 $V_{cc}/2$ の電圧を安定に生成するるために考案された従来の定電圧発生回路を有する半導体集積回路の一構成例を示す回路図である。図14においては、内部電源電圧 V_{int} （例えば、高電圧レベルの電源電圧 V_{cc} ）とグランドレベル（低電圧レベルの電源電圧 = 0 V ）との間で直列に接続された 2 つの分圧抵

抗R₆、R₇により上記内部電源電圧V_{int}を分圧することによって、分圧抵抗R₆と分圧抵抗R₇との接続点の出力ノードから出力電圧V_{pr}の定電圧を生成している。ここで、内部電源電圧V_{int}が電源電圧V_{cc}であり、かつ、分圧抵抗R₆と分圧抵抗R₇の抵抗値が同じである場合には、上記出力ノードの出力電圧V_{pr}は電源電圧V_{cc}の1/2の電圧になり、同出力ノードからV_{cc}/2の電圧が生成されることになる。しかしながら、DRAMに対しては低消費電力化が要求されるので、分圧抵抗R₆、R₇にて発生する消費電力をできる限り少なくしなければならない。このためには、分圧抵抗R₆、R₇の抵抗値をできる限り大きくして分圧抵抗R₆、R₇を常時流れる電流をできる限り小さな値に抑えることが必要になる。また一方で、分圧抵抗R₆、R₇の抵抗値を極端に大きくすると、DRAMの電源電圧の立ち上がり特性が悪くなる。DRAMに対しては電源を投入してから所定の時間（例えば、200μsec）経過後は正常な動作を保証すること（すなわち、立ち上がり応答特性が良好なこと）が要求される。

【0018】図14に示す定電圧発生回路では、DRAMの立ち上がり応答特性を改善するために、NMOSトランジスタからなる第1の出力トランジスタQ₃と、PMOSトランジスタ（Pチャネル型MOSトランジスタの略）からなる第2の出力トランジスタQ₄とを、分圧抵抗R₆、R₇のノードに対し相補形式にて接続するようしている。この場合、第1の出力トランジスタQ₃と第2の出力トランジスタQ₄は、高電圧レベルの電源と低電圧レベルの電源との間で相補形式にて接続されている。さらに、第1の出力トランジスタQ₃のソースと第2の出力トランジスタQ₄のソースは、共通の出力ノードに接続されており、ソースホロワ型の電源回路を形成している。

【0019】さらに、図13に示す定電圧発生回路では、第1の出力トランジスタQ₃のゲート（ノードN₃）に、NMOSトランジスタQ₁のドレインが接続されている。また一方で、第2の出力トランジスタQ₄のゲート（ノードN₄）に、PMOSトランジスタQ₂のドレインが接続されている。さらに、上記のNMOSトランジスタQ₁のドレインは、高抵抗値の抵抗R₄を介して高電圧レベルの電源に接続され、PMOSトランジスタQ₂のドレインは、高抵抗値の抵抗R₅を介して低電圧レベルの電源に接続される。

【0020】さらに、図14に示す定電圧発生回路では、直列に接続された3つの分割抵抗R₁、R₂およびR₃により内部電源電圧V_{int}（例えば、高電圧レベルの電源電圧V_{cc}）を分圧することによって、互いに電圧値が異なる2つの基準電圧を生成している。より詳しくいえば、分割抵抗R₁と分割抵抗R₂との接続点のノードN₁から、1つの基準電圧が取り出され、PMOSトランジスタQ₂のソースに供給される。また一方で、分

割抵抗R₂と分割抵抗R₃との接続点のノードN₂から、他の基準電圧が取り出され、NMOSトランジスタQ₁のソースに供給される。この場合、ノードN₁から取り出される基準電圧は、電源電圧V_{cc}の1/2の電圧より若干高い電圧に設定され、ノードN₂から取り出される基準電圧は、電源電圧V_{cc}の1/2の電圧より若干低い電圧に設定される。これらの2つの基準電圧は、後述の図4および図5の実施例にて詳しく述べるように、第1および第2の出力トランジスタQ₃、Q₄が共に動作状態になって高電圧レベルの電源から第1および第2の出力トランジスタQ₃、Q₄を通過して低電圧レベルの電源へ負通電流が流れることを防止するために、出力ノードのV_{pr}（V_{cc}/2）の電圧に対し不感帯を設けるために設定されるものである。

【0021】ここでは、ノードN₂から取り出された基準電圧は、NMOSトランジスタQ₁を通して第1の出力トランジスタQ₃のゲートに入力される。この第1の出力トランジスタQ₃のソースホロワ動作により、V_{cc}/2にほぼ等しい出力電圧V_{pr}が出力ノードから出力される。また一方で、ノードN₁から取り出された基準電圧は、PMOSトランジスタQ₂を通して第2の出力トランジスタQ₄のゲートに入力される。この第1の出力トランジスタQ₄のソースホロワ動作により、V_{cc}/2にほぼ等しい電圧が出力ノードから出力される。

【0022】さらに、図14に示す定電圧発生回路では、出力ノードの出力電圧V_{pr}が、V_{cc}/2から予め定められた値よりも低くなった場合、NMOSトランジスタからなる第3の出力トランジスタQ₃のゲートーソース間電圧が大きくなつて第3の出力トランジスタQ₃がオン状態になり、この第3の出力トランジスタQ₃を介して高電圧レベルの電源と出力ノードとが接続された状態になる。このために、出力ノードの電圧が上昇して、出力ノードの出力電圧V_{pr}がV_{cc}/2にほぼ等しくなるように制御される。また一方で、出力ノードの出力電圧V_{pr}が、V_{cc}/2から予め定められた値よりも高くなつた場合、PMOSトランジスタからなる第4の出力トランジスタQ₄のゲートーソース間電圧が大きくなつて第4の出力トランジスタQ₄がオン状態になり、この第4の出力トランジスタQ₄を介して低電圧レベルの電源と出力ノードとが接続された状態になる。このために、出力ノードの電圧が下降して、出力ノードの出力電圧V_{pr}がV_{cc}/2にほぼ等しくなるように制御される。

【0023】

【発明が解決しようとする課題】上記のとおり、DRAMからなる従来の半導体集積回路においては、電源電圧V_{cc}の1/2の電圧を生成するために、図14に示したようなソースホロワ動作をするMOSトランジスタ（第1および第2の出力トランジスタQ₃、Q₄）を含むソースホロワ型の電源回路を使用していた。しかしながら、近年は、前述したように、できる限り低い電源電

圧、例えば、2V以下の電源電圧でもってDRAMを動作させることが要求される傾向にある。ソースホロワ型の電源回路に使用されるMOSトランジスタのゲート-ソース間のしきい値電圧 V_{th} 、すなわち、MOSトランジスタのソースとドレインとの間に電流が流れるために最低限必要なしきい値電圧は、通常0.5V前後である。さらに、上記ソースホロワ動作をする第1および第2の出力トランジスタQ3、Q4に入力される基準電圧は、それぞれ、NMOSトランジスタQ1およびPMOSトランジスタQ2を通して供給される。

【0024】ここで、第1の出力トランジスタQ3のゲート-ソース間に印加される電圧を VGS (Q3)とし、第2の出力トランジスタQ4のゲート-ソース間に印加される電圧を VGS (Q4)とする。さらに、ノードN1の基準電圧を $V(N1)$ とし、ノードN2の基準電圧を $V(N2)$ とする。さらにまた、NMOSトランジスタQ1のゲート-ソース間のしきい値電圧を V_{th} (Q1)とし、P

$$VGS(Q3) = (V(N2) + V_{th}(Q1)) - V_{pr} (\approx V_{int}/2) \cdots \text{式(1)}$$

$$VGS(Q4) = V_{pr} (\approx V_{int}/2) - (V(N1) - V_{th}(Q2)) \cdots \text{式(2)}$$

例えば、内部電源電圧 V_{int} が電源電圧 V_{cc} であって、この電源電圧 V_{cc} が2V以下になった場合、しきい値電圧 V_{th} の合計($V_{th} \approx 0.5V + \alpha$: α はバックバイアス効果による V_{th} の増加分であり、0.2V程度)と電源電圧 V_{cc} の1/2の値(ここでは、出力ノードの出力電圧 $V_{pr} = V_{cc}/2 \leq 1.0V$)とがほぼ同じ程度まで近くなってくる。それゆえに、前述の式(1)および式(2)からも明らかなように、図14に示したような第1の出力トランジスタQ3および第2の出力トランジスタQ4のゲート-ソース間ではしきい値電圧 V_{th} よりも充分高い電圧がとれないことになり、上記の出力トランジスタQ3、Q4が安定なソースホロワ動作をすることが難しくなってきた。

【0027】ここで、上記のバックバイアス効果は、ソース-バックゲート間の電圧に依存してMOSトランジスタのしきい値電圧 V_{th} が変化することにより生ずる。特に、ソースホロワ動作を行っているMOSトランジスタのしきい値電圧は、出力電圧に従って変化するため、実際のしきい値電圧は、前述したように0.5Vより少し高い値になる傾向にある。

【0028】この結果、電源電圧が2Vより低くなった場合、図14の定電圧発生回路では、出力トランジスタQ3、Q4のソースホロワとしての駆動能力を充分發揮させることができなくなり、ビット線プリチャージ用の電圧や、メモリセル内のセルキャパシタのセルプレートノードの電圧を生成するための回路動作が不安定に行われないという問題が生じてくる。

【0029】本発明は上記問題点に鑑みてなされたものであり、電源電圧が低くなった場合でも、ビット線プリチャージ用の電圧や、メモリセル内のセルキャパシタのセルプレートノードの電圧を安定に生成することが可能

MOSトランジスタQ2のゲート-ソース間のしきい値電圧を V_{th} (Q2)とする。

【0025】この場合、おおよそ $V_{int}/2$ の電圧を有するノードN2の基準電圧と、NMOSトランジスタQ1のゲート-ソース間のしきい値電圧 V_{th} (Q1)とを加算して得られる値から、出力ノードの出力電圧 V_{pr} ($\approx V_{int}/2$)を差し引いた電圧が、第1の出力トランジスタQ3のゲート-ソース間に印加される電圧 VGS (Q3)である。また一方で、おおよそ $V_{int}/2$ の電圧を有するノードN1の基準電圧から、PMOSトランジスタQ2のゲート-ソース間のしきい値電圧 V_{th} (Q2)を減算して得られる値を、出力ノードの出力電圧 V_{pr} ($\approx V_{int}/2$)から差し引いた電圧が、第2の出力トランジスタQ4のゲート-ソース間に印加される電圧 VGS (Q4)である。これらの関係を式で表すと、以下のようにになる。

【0026】

$$VGS(Q3) = (V(N2) + V_{th}(Q1)) - V_{pr} (\approx V_{int}/2) \cdots \text{式(1)}$$

$$VGS(Q4) = V_{pr} (\approx V_{int}/2) - (V(N1) - V_{th}(Q2)) \cdots \text{式(2)}$$

な半導体集積回路を提供することを目的とするものである。

【0030】

【課題を解決するための手段】上記問題点を解決するために、所定の出力電圧を生成するための本発明の半導体集積回路は、入力端子に印加される電圧と、少なくとも一つの基準電圧との差を検出する第1のオペレーションナルアンプおよび第2のオペレーションナルアンプと、上記第1および第2のオペレーションナルアンプから出力される電圧の電圧レベルに応じてオン・オフ動作を行う第1のトランジスタおよび第2のトランジスタとを備える。

【0031】ここで、上記第1のオペレーションナルアンプは、上記入力端子にて上記出力電圧を受け、上記出力電圧の電圧レベルが、上記の少なくとも一つの基準電圧よりも低くなつたときに、上記第1のトランジスタを動作させて上記出力電圧の電圧レベルを上げるように制御し、上記第2のオペレーションナルアンプは、上記入力端子にて上記出力電圧を受け、上記出力電圧の電圧レベルが、上記の少なくとも一つの基準電圧よりも高くなつたときに、上記第2のトランジスタを動作させて上記出力電圧の電圧レベルを下げるよう制御する。

【0032】さらに、本発明の第1の好ましい実施態様において、上記第1および第2のオペレーションナルアンプは、第1のカレントミラー回路および第2のカレントミラー回路をそれぞれ有すると共に、上記第1および第2のオペレーションナルアンプの各々は、差動増幅器として機能する一对のトランジスタに接続される。さらに、上記基準電圧は、上記第1および第2のオペレーションナルアンプの各々における上記一对のトランジスタの一方のトランジスタのゲートに入力され、かつ、上記出力電圧は、上記一对のトランジスタの他方のトランジスタの

ゲートに入力され、上記第1および第2のオペレーショナルアンプの各々の出力端子における上記電圧は、上記一対のトランジスタの一方のトランジスタのドレインから出力される。

【0033】さらに、上記第1のトランジスタのゲートは、上記第1のオペレーショナルアンプの上記出力端子に接続され、上記第1のトランジスタのソースおよびドレインは、それぞれ、上記基準電圧より高い電圧値を有する第1の電源、および共通のノードに接続され、上記第2のトランジスタのゲートは、上記第2のオペレーショナルアンプの上記出力端子に接続され、上記第2のトランジスタのドレインおよびソースは、それぞれ、上記共通のノード、および上記基準電圧より低い電圧値を有する第2の電源に接続され、上記共通のノードは上記所定の出力電圧を出力し、上記第1および第2のオペレーショナルアンプの各々における上記一対のトランジスタの他方のトランジスタのゲートに接続される。

【0034】本発明の第2の好ましい実施態様に係る半導体集積回路は、さらに、上記出力電圧のレベルをシフトする調整用抵抗を備え、上記共通のノードは、上記調整用抵抗を介して、上記第1および第2のオペレーショナルアンプの各々における上記一対のトランジスタの他方のトランジスタのゲートに接続されている。さらに、本発明の第3の好ましい実施態様において、上記基準電圧は、互いに電圧値が異なる第1の基準電圧および第2の基準電圧からなり、上記第1の基準電圧は、上記第2のオペレーショナルアンプの上記一対のトランジスタの一方に入力され、上記第2の基準電圧は、上記第2のオペレーショナルアンプの上記一対のトランジスタの一方に入力される。

【0035】本発明の第3の好ましい実施態様に係る半導体集積回路は、さらに、上記出力電圧のレベルをシフトする調整用抵抗を備え、上記共通のノードは、上記調整用抵抗を介して、上記第1および第2のオペレーショナルアンプの各々における上記一対のトランジスタの他方のトランジスタのゲートに接続され、上記第1の基準電圧の電圧値が、上記第2の基準電圧の電圧値よりも常に低くなるように設定される。

【0036】さらに、好ましくは、本発明の半導体集積回路において、上記第1および第2のオペレーショナルアンプの各々における上記一対のトランジスタは、いずれも第1の伝導型のトランジスタにより構成され、上記第1のトランジスタは、第2の伝導型のトランジスタにより構成され、また一方で、上記第2のトランジスタは、第1の伝導型のトランジスタにより構成される。

【0037】さらに、好ましくは、本発明の半導体集積回路において、上記第2のトランジスタと上記第2の電源との間に貫通電流防止用ダイオードを挿入している。さらに、好ましくは、本発明の半導体集積回路において、上記第1のオペレーショナルアンプにおけ

る上記一対のトランジスタは、いずれも第1の伝導型のトランジスタにより構成され、また一方で、上記第2のオペレーショナルアンプにおける上記一対のトランジスタは、いずれも第2の伝導型のトランジスタにより構成され、上記第1のトランジスタは、上記第2の伝導型のトランジスタにより構成され、また一方で、上記第2のトランジスタは、上記第1の伝導型のトランジスタにより構成される。ここで、上記第1のトランジスタが動作状態のときに、上記第2のオペレーショナルアンプは、上記第2のトランジスタが非動作状態になるように制御し、これによって、上記第1の電源から上記第1のトランジスタおよび上記第2のトランジスタを通過して上記第2の電源へ貫通電流が流れるのを防止するようになっている。

【0038】さらに、本発明の定電圧発生回路は、基準電圧を生成する基準電圧発生回路と、出力信号を取り出すための出力端子と、上記基準電圧と上記出力信号の電圧の差に基づき、第1の制御信号および第2の制御信号をそれぞれ出力する第1の検出回路および第2の検出回路と、第1の電源と上記出力端子との間に設けられる第1のトランジスタと、上記出力端子と第2の電源との間に設けられる第2のトランジスタとを備えており、上記第1のトランジスタのコンダクタンスは、上記第1の制御信号により制御され、かつ、上記第2のトランジスタのコンダクタンスは、上記第2の制御信号により制御されるようになっている。

【0039】さらに、好ましくは、本発明の定電圧発生回路において、上記第1および第2の検出回路の各々は、一対のトランジスタと、上記第1の電源と上記一対のトランジスタとの間に接続されるカレントミラーハ回路とを有しており、上記一対のトランジスタの各々のゲートは上記基準電圧および上記出力信号をそれぞれ受け、上記一対のトランジスタのドレインは上記第2の電源に共通に接続され、上記第1および第2の制御信号は、それぞれ対応する上記カレントミラーハ回路と、それぞれ対応する上記一対のトランジスタとの間の接続ノードから出力されるようになっている。

【0040】さらに、本発明の定電圧発生回路は、上記出力端子と、上記第1および第2の検出回路の各々の入力端子との間に設けられる電圧シフト回路を備える。さらに、好ましくは、本発明の定電圧発生回路において、上記基準電圧発生回路は、互いに電圧値が異なる第1の基準電圧および第2の基準電圧を供給し、上記第1の検出回路は上記第1の基準電圧に応答し、上記第2の検出回路は上記第2の基準電圧に応答するようになっている。

【0041】さらに、好ましくは、本発明の定電圧発生回路において、上記第1および第2の検出回路の各々は、上記第1の電源に接続され、かつ、上記基準電圧および上記出力信号をそれぞれ受けけるカレントミラーハ回路

を有しており、上記第1および第2の制御信号は、上記第1の電源と、それぞれ対応する上記カレントミラー回路との間の接続ノードから出力されるようになっている。

【0042】さらに、好ましくは、本発明の定電圧発生回路において、上記第1の検出回路における上記一对のトランジスタは、Nチャネル型MOSトランジスタにより構成され、上記第2の検出回路における上記一对のトランジスタは、Pチャネル型MOSトランジスタにより構成される。さらに、好ましくは、本発明の定電圧発生回路において、上記出力端子は、ダイナミック・ランダムアクセスメモリ内の少なくとも一つのビット線およびセルキャバシタに接続される。

【0043】さらに、好ましくは、本発明の定電圧発生回路において、上記出力電圧は、上記第1の電源と上記第2の電源との間の電圧の1/2に相当する電圧値を有する。本発明の半導体集積回路によれば、第1のトランジスタおよび第2のトランジスタ（以下、説明の都合上、第1の出力トランジスタおよび第2の出力トランジスタとよぶこととする）のゲートは、第1のオペレーションアンプおよび第2のオペレーションアンプ内のトランジスタのドレインに接続されており、従来の半導体集積回路（図14参照）の場合と異なり、第1および第2の出力トランジスタはソフトホール動作をしていない。すなわち、電源電圧の1/2の電圧にほぼ等しい基準電圧から、第1のオペレーションアンプ内のトランジスタのソースとドレインとの間に電流が流れるために最低限必要なゲート-ソース間のしきい値電圧のみを差し引いた電圧が、第1のオペレーションアンプにより増幅されて第1の出力トランジスタに印加されることになる。また一方で、電源電圧の1/2の電圧にほぼ等しい基準電圧から、第2のオペレーションアンプ内のトランジスタのゲート-ソース間のしきい値電圧のみを差し引いた電圧が、第2のオペレーションアンプにより増幅されて第2の出力トランジスタに印加されることになる。

【0044】したがって、本発明の半導体集積回路では、オペレーションアンプのMOSトランジスタのゲート-ソース間のしきい値電圧の影響が従来の半導体集積回路よりも小さくなり、電源電圧が2V以下になっても第1および第2の出力トランジスタが安定に動作するので、これらの出力トランジスタの動作マージンが広くなる。

【0045】かくして、本発明の半導体集積回路では、電源電圧が低くなった場合でも、出力トランジスタの駆動能力を充分發揮させることができるので、ビット線ブリッジ用の電圧や、メモリセル内のセルキャバシタのセルプレートノードの電圧を安定に生成することが可能になる。

【0046】

【発明の実施の形態】以下、添付図面（図1～図8）を参照しながら本発明の基本実施例および好ましい実施例を説明することとする。図1は、本発明の基本原理に基づく基本実施例の構成を示すブロック図である。ただし、ここでは、定電圧を生成する機能を有する本発明の半導体集積回路の構成を簡略化して示すこととする。

【0047】図1に示す基本実施例に係る半導体集積回路は、第1の入力電圧Vin1と基準電圧Vrefとの電位差を増幅して第1の増幅電圧Vout1を出力する第1のオペレーションアンプ1と、第2の入力電圧Vin2と基準電圧Vrefとの電位差を増幅して第2の増幅電圧Vout2を出力する第2のオペレーションアンプ（以下、オペアンプと略記する）2とを備えている。

【0048】さらに、図1の基本実施例に係る半導体集積回路は、第1のオペアンプ1から出力される第1の増幅電圧Vout1の電圧レベルに応じてオン・オフ動作を行うことにより、目的とする出力電圧（例えば、電源電圧Vccの1/2の定電圧）Vprの電圧レベルを調整して上記出力電圧Vprを出力する第1の出力トランジスタ3と、第2のオペアンプ2から出力される第2の増幅電圧Vout2の電圧レベルに応じてオン・オフ動作を行うことにより、上記出力電圧Vprの電圧レベルを調整して上記出力電圧Vprを出力する第2の出力トランジスタ4とを備えている。さらに、これらの第1および第2の出力トランジスタ3、4のドレインから出力される出力電圧Vprは、それぞれ、第1のオペアンプ1および第2のオペアンプ2の一方の入力端子にフィードバックされる。

【0049】さらに、図1において、第1の出力トランジスタ3はPMOSトランジスタからなり、第2の出力トランジスタ4はNMOSトランジスタからなる。第1の出力トランジスタ3のソースは、基準電圧Vrefより高い電源電圧Vccを有する第1の電源に接続され、第1の出力トランジスタ3のドレインは、出力電圧Vprが出力される共通のノードに接続される。また一方で、第2の出力トランジスタ4のソースは、基準電圧Vrefより低い電源電圧Vss(=0V)を有する第2の電源に接続され、第2の出力トランジスタ4のドレインは、上記共通のノードに接続され、第2の出力トランジスタ4のゲートは、第2のオペアンプ4の出力端子に接続される。

【0050】図1に示す回路構成において、第1のオペアンプ1は、共通のノードの出力電圧Vpr（すなわち、共通のノードから第1のオペアンプ1の一方の入力端子へフィードバックされる電圧）が基準電圧Vrefに比べて低くなったときに、“L”レベルの増幅電圧を出力し、共通のノードの出力電圧Vprが基準電圧Vrefに比べて高くなったときに、“H”レベルの増幅電圧を出力する。この“L”レベルまたは“H”レベルの増幅電圧は、PMOSトランジスタ3のゲートに入力される。

“L”レベルの増幅電圧が入力された場合、すなわち、出力電圧Vprが基準電圧Vrefよりも低い場合は、PM

OSトランジスタからなる第1の出力トランジスタ3がオン状態になり、出力電圧Vprが基準電圧Vrefに等しくなるように出力電圧Vprの電圧レベルが上昇する。このときに、NMOSトランジスタからなる第2の出力トランジスタ4は、“L”レベルの増幅電圧が入力されるために、オフ状態になっている。

【0051】また一方で、“H”レベルの増幅電圧が入力された場合、すなわち、出力電圧Vprが基準電圧Vrefよりも高い場合は、NMOSトランジスタからなる第2の出力トランジスタ4がオン状態になり、出力電圧Vprが基準電圧Vrefに等しくなるように出力電圧Vprの電圧レベルが下降する。このときに、PMOSトランジスタからなる第1の出力トランジスタ3は、“H”レベルの増幅電圧が入力されるために、オフ状態になっている。換言すれば、上記の第1および第2のオペアンプは、基準電圧Vrefと出力電圧Vprとの差を検出する検出回路として機能する。

【0052】上記の基本実施例では、オペアンプ内のMOSトランジスタのゲートソース間のしきい値電圧の影響が従来の半導体集積回路よりも小さくなるので、電源電圧が低くなった場合（例えば、2V以下になった場合）でも、第1および第2の出力トランジスタの駆動能力を充分発揮させることができる。それゆえに、電源電圧Vccの1/2の電圧等の定電圧を安定に生成することができる。

【0053】図2は、本発明の第1の実施例の構成を示す回路図である。ただし、ここでは、半導体集積回路内で本発明に関係する定電圧発生回路の構成のみを示すこととする。なお、これ以降、前述した構成要素と同様のものについては、同一の参照番号を付して表すこととする。図2の実施例において、本発明の第1のオペアンプ（図1参照）1は、入力電圧と基準電圧Vrefとの電位差を増幅する第1のカレントミラー回路付きオペアンプ10aにより構成される。また一方で、本発明の第2のオペアンプ2は、入力電圧と基準電圧Vrefとの電位差を増幅する第2のカレントミラー回路付きオペアンプ10bにより構成される。上記の第1のカレントミラー回路付きオペアンプ10aおよび第2のカレントミラー回路付きオペアンプ10bは、同じ回路構成を有している。

【0054】さらに、図2において、第1のカレントミラー回路付きオペアンプ10aは、差動増幅器として機能する一対のNMOSトランジスタ12、13と、カレントミラー回路付きオペアンプ全体の電流源として機能するNMOSトランジスタ14と、一対のNMOSトランジスタ12、13の一方のNMOSトランジスタ12に流れる電流を調整するためのカレントミラー接続形式の2つのPMOSトランジスタ10、11（これらのPMOSトランジスタ10、11が第1のカレントミラー回路を構成する）とを備えている。また一方で、第2の

カレントミラー回路付きオペアンプ10bは、差動増幅器として機能する一対のNMOSトランジスタ17、18と、カレントミラー回路付きオペアンプ全体の電流源として機能するNMOSトランジスタ19と、一対のNMOSトランジスタ17、18の一方のNMOSトランジスタ17に流れる電流を調整するためのカレントミラー接続形式の2つのPMOSトランジスタ15、16（これらのPMOSトランジスタ10、11が第2のカレントミラー回路を構成する）とを備えている。

【0055】さらに、図2においては、基準電圧Vrefが、第1のカレントミラー回路付きオペアンプ10aにおける一対のNMOSトランジスタ12、13の一方のNMOSトランジスタ12のゲートに入力され、出力電圧Vpr（例えば、電源電圧Vccの1/2の電圧）と基準電圧Vrefとの電位差が増幅される。さらに、このようにして増幅された電圧が、一方のNMOSトランジスタ12のドレインから出力される。さらに、一対のNMOSトランジスタ12、13の一方のトランジスタ12のドレインは、PMOSトランジスタからなる第1の出力トランジスタ21aのゲートに接続される。この第1の出力トランジスタ21aは、図1に示した第1の出力トランジスタ3とほぼ同じ機能を有する。

【0056】さらに、図2においては、基準電圧Vrefが、第1のカレントミラー回路付きオペアンプ10aにおける一対のNMOSトランジスタ12、13の一方のNMOSトランジスタ12のゲートに入力され、出力電圧Vpr（例えば、電源電圧Vccの1/2の電圧）と基準電圧Vrefとの電位差が増幅される。さらに、このようにして増幅された電圧が、一方のNMOSトランジスタ12のドレインから出力される。さらに、一対のNMOSトランジスタ12、13の一方のトランジスタ12のドレインは、PMOSトランジスタからなる第1の出力トランジスタ21aのゲートに接続される。この第1の出力トランジスタ21aは、図1に示した第1の出力トランジスタ3とほぼ同じ機能を有する。

【0057】また一方で、上記基準電圧と同じ基準電圧Vrefが、第2のカレントミラー回路付きオペアンプ10bにおける一対のNMOSトランジスタ17、18の一方のNMOSトランジスタ17のゲートに入力され、出力電圧Vprと基準電圧Vrefとの電位差が増幅される。このようにして増幅された電圧が、一方のNMOSトランジスタ17のドレインから出力される。さらに、一対のNMOSトランジスタ17、18の一方のトランジスタ17のドレインは、NMOSトランジスタからなる第2の出力トランジスタ21bのゲートに接続される。この第2の出力トランジスタ21bは、図1に示した第2の出力トランジスタ4とほぼ同じ機能を有する。

【0058】さらに、図2において、第1の出力トランジスタ21aのソースは、上記基準電圧Vrefより高い電源電圧Vccを有する第1の電源に接続され、第1の出

力トランジスタ21aのドレインは、共通のノードに接続される。また一方で、第2の出力トランジスタ21bのソースは、上記基準電圧Vrefより低い電源電圧Vssを有する第2の電源に接続され、第2の出力トランジスタ21bのドレインは、共通のノードに接続される。さらに、この共通のノードは、第1のカレントミラー回路付きオペアンプ内の他方のNMOSトランジスタ13のゲート、および第2のカレントミラー回路付きオペアンプ内の他方のNMOSトランジスタ18のゲートに接続される。上記第1の出力トランジスタ21aのゲートに入力される電圧の電圧レベルに応じて第1の出力トランジスタ21aのソースから出力電圧Vprが outputされる。この出力電圧Vprは、共通のノードからNMOSトランジスタ13のゲートへフィードバックされる。また一方で、上記第2の出力トランジスタ22bのゲートに入力される電圧の電圧レベルに応じて第2の出力トランジスタ22bのソースから出力電圧Vprが outputされる。この出力電圧Vprは、共通のノードからNMOSトランジスタ18のゲートへフィードバックされる。

【0059】さらに、図2において、上記出力電圧Vprの電圧レベルが、上記基準電圧Vrefの電圧レベルよりも低くなった場合を想定する。この場合、第1のカレントミラー回路付きオペアンプ10aにおける他方のNMOSトランジスタ13のゲート-ソース間の電圧が小さくなつてPMOSトランジスタ11からNMOSトランジスタ13へ供給される電流が減少する。第1のカレントミラー回路付きオペアンプ10a全体を流れる電流は、電流源として機能するNMOSトランジスタ14により決まつてゐるために、PMOSトランジスタ11からNMOSトランジスタ13へ供給される電流が減少したときは、PMOSトランジスタ10からNMOSトランジスタ12へ供給される電流が増加する。このために、NMOSトランジスタ12のドレインの電位、すなわち、PMOSトランジスタからなる第1の出力トランジスタ21aのゲートの電位が下がる。この結果、第1の出力トランジスタ21aのゲート-ソース間の電圧がしきい値電圧よりも大きくなつて第1の出力トランジスタ21aが動作状態（オン状態）になり、上記出力電圧が上記基準電圧に等しくなるまで上記出力電圧の電圧レベルを上げるように動作する。

【0060】さらに、この場合、第2のカレントミラー回路付きオペアンプ10bにおける他方のNMOSトランジスタ18のゲート-ソース間の電圧が小さくなつてPMOSトランジスタ16からNMOSトランジスタ18へ供給される電流が減少する。第2のカレントミラー回路付きオペアンプ10b全体を流れる電流は、電流源として機能するNMOSトランジスタ19により決まつてゐるために、PMOSトランジスタ16からNMOSトランジスタ18へ供給される電流が減少したときは、PMOSトランジスタ15からNMOSトランジスタ1

7へ供給される電流が増加する。このために、NMOSトランジスタ17のドレインの電位、すなわち、NMOSトランジスタからなる第2の出力トランジスタ21bのゲートの電位が下がる。この結果、第2の出力トランジスタ21bのゲート-ソース間の電圧がしきい値電圧よりも小さくなつて第2の出力トランジスタ21bが非動作状態（オフ状態）になる。

【0061】また一方で、上記出力電圧Vprの電圧レベルが、上記基準電圧Vrefの電圧レベルよりも高くなつた場合を想定する。この場合、第2のカレントミラー回路付きオペアンプ10bにおける他方のNMOSトランジスタ18のゲート-ソース間の電圧が大きくなつてPMOSトランジスタ16からNMOSトランジスタ18へ供給される電流が増加する。これによつて、PMOSトランジスタ15からNMOSトランジスタ17へ供給される電流が減少する。このために、NMOSトランジスタ17のドレインの電位、すなわち、NMOSトランジスタからなる第2の出力トランジスタ21bのゲートの電位が上がる。この結果、第2の出力トランジスタ21bのゲート-ソース間の電圧がしきい値電圧よりも大きくなつて第2の出力トランジスタ21bが動作状態（オン状態）になり、上記出力電圧が上記基準電圧に等しくなるまで上記出力電圧の電圧レベルを下げるよう動作する。

【0062】さらに、この場合、第1のカレントミラー回路付きオペアンプ10aにおける他方のNMOSトランジスタ13のゲート-ソース間の電圧が大きくなつてPMOSトランジスタ11からNMOSトランジスタ13へ供給される電流が増加する。これによつて、PMOSトランジスタ10からNMOSトランジスタ12へ供給される電流が減少する。このために、NMOSトランジスタ12のドレインの電位、すなわち、PMOSトランジスタからなる第1の出力トランジスタ21aのゲートの電位が上がる。この結果、第1の出力トランジスタ21aのゲート-ソース間の電圧がしきい値電圧よりも小さくなつて第1の出力トランジスタ21aが非動作状態（オフ状態）になる。

【0063】上記の第1の実施例では、電源電圧Vccの1/2の電圧にはば等しい基準電圧Vrefから、第1のカレントミラー回路付きオペアンプ10a内のNMOSトランジスタ12のゲート-ソース間のしきい値電圧Vthを差し引いた電圧が、NMOSトランジスタ12の入力電圧となる。換言すれば、Vcc/2の入力電圧に影響を与えるのは、一つのMOSトランジスタのしきい値電圧Vthのみである。それゆえに、上記の第1の実施例では、MOSトランジスタのゲート-ソース間のしきい値電圧の影響が従来の半導体集積回路よりも小さくなり、電源電圧が2V以下になつても第1および第2の出力トランジスタが安定に動作するので、出力トランジスタの動作マージンが広くなる。

【0064】図3は、本発明の第2の実施例の構成を示す回路図である。ここでは、前述の第1の実施例の構成に、基準電圧Vrefより低い出力電圧Vprを取り出すための複数の定電圧生成用抵抗(分割抵抗)3a、4aおよび5aが付加されている。前述の第1の実施例では、基準電圧Vrefがごく低い場合にカレントミラー回路付きオペアンプが動作しなくなる場合を考えられるので、図3に示す第2の実施例では、このような場合に対処するために、複数の定電圧生成用抵抗3a～5aを設けるようにしている。

【0065】図3の実施例において、第1のカレントミラー回路付きオペアンプ30aおよび第2のカレントミラー回路付きオペアンプ30bの構成は、前述の第1の実施例のカレントミラー回路付きオペアンプの構成と同じである。すなわち、本発明の第1のオペアンプ1は、入力電圧と基準電圧Vrefとの電位差を増幅する第1のカレントミラー回路付きオペアンプ30aにより構成される。また一方で、本発明の第2のオペアンプ2は、入力電圧と基準電圧Vrefとの電位差を増幅する第2のカレントミラー回路付きオペアンプ30bにより構成される。上記の第1のカレントミラー回路付きオペアンプ30aおよび第2のカレントミラー回路付きオペアンプ30bは、同じ回路構成を有している。

【0066】さらに、図3において、第1のカレントミラー回路付きオペアンプ30aは、差動増幅器として機能する一対のNMOSトランジスタ32、33と、カレントミラー回路付きオペアンプ全体の電流源として機能するNMOSトランジスタ34と、一対のNMOSトランジスタ32、33の一方のNMOSトランジスタ32に流れる電流を調整するためのカレントミラー接続形式の2つのPMOSトランジスタ30、31とを備えている。また一方で、第2のカレントミラー回路付きオペアンプ30bは、差動増幅器として機能する一対のNMOSトランジスタ37、38と、カレントミラー回路付きオペアンプ全体の電流源として機能するNMOSトランジスタ39と、一対のNMOSトランジスタ37、38の一方のNMOSトランジスタ37に流れる電流を調整するためのカレントミラー接続形式の2つのPMOSトランジスタ35、36とを備えている。

【0067】さらに、図3においては、基準電圧Vrefが、第1のカレントミラー回路付きオペアンプ30aにおける一対のNMOSトランジスタ32、33の一方のNMOSトランジスタ32のゲートに入力され、ノードN21の電圧(例えば、電源電圧Vccの1/2の電圧)と基準電圧Vrefとの電位差が増幅される。さらに、このようにして増幅された電圧が、一方のNMOSトランジスタ32のドレインから出力される。さらに、一対のNMOSトランジスタ32、33の一方のトランジスタ32のドレインは、PMOSトランジスタからなる第1の出力トランジスタ22aのゲートに接続される。この

第1の出力トランジスタ22aは、図2に示した第1の出力トランジスタ21aとほぼ同じ機能を有する。

【0068】また一方で、上記基準電圧と同じ基準電圧Vrefが、第2のカレントミラー回路付きオペアンプ30bにおける一対のNMOSトランジスタ37、38の一方のNMOSトランジスタ37のゲートに入力され、ノードN21の電圧と基準電圧Vrefとの電位差が増幅される。このようにして増幅された電圧が、一方のNMOSトランジスタ37のドレインから出力される。さらに、一対のNMOSトランジスタ37、38の一方のトランジスタ37のドレインは、NMOSトランジスタからなる第2の出力トランジスタ22bのゲートに接続される。この第2の出力トランジスタ22bは、図2に示した第2の出力トランジスタ21bとほぼ同じ機能を有する。

【0069】さらに、図3において、第1の出力トランジスタ22aのソースは、上記基準電圧Vrefより高い電源電圧Vccを有する第1の電源に接続され、第1の出力トランジスタ22aのドレインは、共通のノードN22に接続される。また一方で、第2の出力トランジスタ22bのソースは、上記基準電圧Vrefより低い電源電圧Vssを有する第2の電源に接続され、第2の出力トランジスタ22bのドレインは、共通のノードN22に接続される。さらに、この共通のノードN22は、定電圧生成用抵抗4aを介して、第1のカレントミラー回路付きオペアンプ内の他方のNMOSトランジスタ33のゲート、および第2のカレントミラー回路付きオペアンプ内の他方のNMOSトランジスタ38のゲートに接続される。上記第1の出力トランジスタ22aのゲートに入力される電圧の電圧レベルに応じて第1の出力トランジスタ22aのドレインから出力電圧Vprが出力される。この出力電圧Vprは、定電圧生成用抵抗4aを介して、共通のノードN22からNMOSトランジスタ33のゲート(ノードN21)へフィードバックされる。また一方で、上記第2の出力トランジスタ22bのゲートに入力される電圧の電圧レベルに応じて第2の出力トランジスタ22bのソースから出力電圧Vprが出力される。この出力電圧Vprは、定電圧生成用抵抗4aを介して、共通のノードN22からNMOSトランジスタ38のゲートへフィードバックされる。

【0070】さらに、図3において、ノードN21における電圧の電圧レベルが、上記基準電圧Vrefの電圧レベルよりも低くなった場合を想定する。この場合、第1のカレントミラー回路付きオペアンプ30aにおける他方のNMOSトランジスタ33のゲート～ソース間の電圧が小さくなつてPMOSトランジスタ31からNMOSトランジスタ33へ供給される電流が減少する。第1のカレントミラー回路付きオペアンプ30a全体を流れる電流は、電流源として機能するNMOSトランジスタ34により決まつてゐるために、PMOSトランジスタ

31からNMOSトランジスタ33へ供給される電流が減少したときは、PMOSトランジスタ30からNMOSトランジスタ32へ供給される電流が増加する。このために、NMOSトランジスタ32のドレインの電位、すなわち、PMOSトランジスタからなる第1の出力トランジスタ22aのゲートの電位が下がる。この結果、第1の出力トランジスタ22aのゲート-ソース間の電圧がしきい値電圧よりも大きくなつて第1の出力トランジスタ22aが動作状態になり、上記ノードN21における電圧が上記基準電圧に等しくなるまで上記ノードN21における電圧の電圧レベルを上げるように動作する。

【0071】さらに、この場合、第2のカレントミラー回路付きオペアンプ30bにおける他方のNMOSトランジスタ38のゲート-ソース間の電圧が小さくなつてPMOSトランジスタ36からNMOSトランジスタ38へ供給される電流が減少する。第2のカレントミラー回路付きオペアンプ30b全体を流れる電流は、電流源として機能するNMOSトランジスタ39により決まつてゐるために、PMOSトランジスタ36からNMOSトランジスタ38へ供給される電流が減少したときは、PMOSトランジスタ35からNMOSトランジスタ37へ供給される電流が増加する。このために、NMOSトランジスタ37のドレインの電位、すなわち、NMOSトランジスタからなる第2の出力トランジスタ22bのゲートの電位が下がる。この結果、第2の出力トランジスタ22bのゲート-ソース間の電圧がしきい値電圧よりも小さくなつて第2の出力トランジスタ22bが非動作状態になる。

【0072】また一方で、上記ノードN21における電圧の電圧レベルが、上記基準電圧Vrefの電圧レベルよりも高くなつた場合を想定する。この場合、第2のカレントミラー回路付きオペアンプ30bにおける他方のNMOSトランジスタ38のゲート-ソース間の電圧が大きくなつてPMOSトランジスタ36からNMOSトランジスタ38へ供給される電流が増加する。これによつて、PMOSトランジスタ35からNMOSトランジスタ37へ供給される電流が減少する。このために、NMOSトランジスタ37のドレインの電位、すなわち、NMOSトランジスタからなる第2の出力トランジスタ22bのゲートの電位が上がる。この結果、第2の出力トランジスタ22bのゲート-ソース間の電圧がしきい値電圧よりも大きくなつて第2の出力トランジスタ22bが動作状態になり、上記ノードN21における電圧が上記基準電圧に等しくなるまで上記ノードN21における電圧の電圧レベルを下げるよう動作する。

【0073】さらに、この場合、第1のカレントミラー回路付きオペアンプ30aにおける他方のNMOSトランジスタ33のゲート-ソース間の電圧が大きくなつてPMOSトランジスタ31からNMOSトランジスタ3

3へ供給される電流が増加する。これによつて、PMOSトランジスタ30からNMOSトランジスタ32へ供給される電流が減少する。このために、NMOSトランジスタ32のドレインの電位、すなわち、PMOSトランジスタからなる第1の出力トランジスタ22aのゲートの電位が上がる。この結果、第1の出力トランジスタ22aのゲート-ソース間の電圧がしきい値電圧よりも小さくなつて第1の出力トランジスタ22aが非動作状態になる。

【0074】さらに、図3の実施例においては、直列に接続された3つの定電圧生成用抵抗3a、4aおよび5aにより内部電源電圧Vintを分圧することによつて、基準電圧Vrefよりも低い電圧値の出力電圧Vprを生成するようにしてゐる。より詳しくいえば、抵抗値r1の定電圧生成用抵抗3aと抵抗値r2の定電圧生成用抵抗4aとの接続点に対応するノードN21が、基準電圧Vrefに概ね等しい電圧になつてゐる。また一方で、抵抗値r2の定電圧生成用抵抗4aと抵抗値r3の定電圧生成用抵抗5aとの接続点に対応する共通のノードN22から、基準電圧Vrefよりも低い出力電圧Vprが取り出される。換言すれば、3つの定電圧生成用抵抗3a、4aおよび5aからなる調整用抵抗によって共通のノードN22の出力電圧Vprのレベルをシフトし、ノードN21に供給するようしている。

【0075】要約すれば、上記ノードN21における電圧が基準電圧Vrefよりも低い場合には、上記第1のカレントミラー回路付きオペアンプ30a内のNMOSトランジスタ32のドレインの電位が下がつてノードN22の出力電圧が上昇するよう上記第1の出力トランジスタ22aが動作する。また一方で、上記ノードN21における電圧が基準電圧Vrefよりも高い場合には、上記第2のカレントミラー回路付きオペアンプ30b内のNMOSトランジスタ37のドレインの電位が上がってノードN22の出力電圧が下降するよう上記第2の出力トランジスタ22bが動作する。

【0076】ここで、ノードN21の電圧をVgとした場合、 $V_g = V_{ref}$ なので、基準電圧Vrefと出力電圧Vprとの関係は、次の式(1)により表される。

$$V_{pr} = r_3 \cdot V_{ref} / (r_2 + r_3) \quad \dots (1)$$

換言すれば、上記の第2の実施例では、第1のカレントミラー回路付きオペアンプ30aおよび第2のカレントミラー回路付きオペアンプ30bは、ノードN21の電圧Vgと基準電圧Vrefとが等しくなるように、第1の出力トランジスタ22aおよび第2の出力トランジスタ22bをそれぞれ駆動することになる。このときに、ノードN21の電圧Vgと、共通のノードN22の定電圧生成用抵抗3a～5aを選定することによつて、カレントミラー回路付きオペアンプが動作しやすい基準電圧Vrefを設定すると共に、基準電圧Vrefよりも低い電圧値を有する所望の出力電圧Vprを正確に得ることができ

る。

【0077】図4は、本発明の第3の実施例の構成を示す回路図である。この第3の実施例に係る半導体集積回路は、前述の第2の実施例において、出力電圧 V_{pr} の電圧レベルを検出する際に不感帯を設けるようにしたものである。図4に示したように、第1のオペアンプおよび第2のオペアンプに共通の基準電圧 V_{ref} を付与すると、第1の出力トランジスタおよび第2の出力トランジスタを貫通する貫通電流が流れてしまうおそれがある。このような事態に対処するために、図4に示す第3の実施例では、互いに電圧値が異なる第1の基準電圧 V_{ref1} および第2の基準電圧 V_{ref2} を第1および第2のオペアンプにそれぞれ供給することによって、出力電圧 V_{pr} の電圧レベルがある範囲に入った場合には、2つの出力トランジスタのいずれの動作も停止するようになっている。ここで、上記の不感帯を確実に設けるためには、 $V_{ref1} < V_{ref2}$ の関係にすることが必要である。

【0078】図4の実施例において、第1のカレントミラー回路付きオペアンプ40aおよび第2のカレントミラー回路付きオペアンプ40bの構成は、前述の第2の実施例のカレントミラー回路付きオペアンプの構成と同じである。すなわち、本発明の第1のオペアンプ1は、入力電圧と第1の基準電圧 V_{ref1} との電位差を増幅する第1のカレントミラー回路付きオペアンプ40aにより構成される。また一方で、本発明の第2のオペアンプ2は、入力電圧と第2の基準電圧 V_{ref2} との電位差を増幅する第2のカレントミラー回路付きオペアンプ40bにより構成される。上記の第1のカレントミラー回路付きオペアンプ40aおよび第2のカレントミラー回路付きオペアンプ40bは、同じ回路構成を有している。

【0079】さらに、図4において、第1のカレントミラー回路付きオペアンプ40aは、差動増幅器として機能する一対のNMOSトランジスタ42、43と、カレントミラー回路付きオペアンプ全体の電流源として機能するNMOSトランジスタ44と、一対のNMOSトランジスタ42、43の一方のNMOSトランジスタ42に流れる電流を調整するためのカレントミラー接続形式の2つのPMOSトランジスタ40、41とを備えている。また一方で、第2のカレントミラー回路付きオペアンプ40bは、増幅器として機能する一対のNMOSトランジスタ47、48と、カレントミラー回路付きオペアンプ全体の電流源として機能するNMOSトランジスタ49と、一対のNMOSトランジスタ47に流れる電流を調整するためのカレントミラー接続形式の2つのPMOSトランジスタ45、46とを備えている。

【0080】さらに、図4においては、第1の基準電圧 V_{ref1} が、第1のカレントミラー回路付きオペアンプ40aにおける一対のNMOSトランジスタ42、43の一方のNMOSトランジスタ42のゲートに入力され、

ノードN21の電圧（例えば、電源電圧 V_{cc} の1/2の電圧）と第1の基準電圧 V_{ref1} との電位差が増幅される。さらに、このようにして増幅された電圧が、一方のNMOSトランジスタ42のドレインから出力される。さらに、一対のNMOSトランジスタ42、43の一方のトランジスタ42のドレインは、PMOSトランジスタからなる第1の出力トランジスタ23aのゲートに接続される。この第1の出力トランジスタ23aは、図2に示した第1の出力トランジスタ21aとほぼ同じ機能を有する。

【0081】また一方で、第2の基準電圧 V_{ref2} が、第2のカレントミラー回路付きオペアンプ40bにおける一対のNMOSトランジスタ47、48の一方のNMOSトランジスタ47のゲートに入力され、ノードN21の電圧と第2の基準電圧 V_{ref2} との電位差が増幅される。このようにして増幅された電圧が、一方のNMOSトランジスタ47のドレインから出力される。さらに、一対のNMOSトランジスタ47、48の一方のトランジスタ47のドレインは、NMOSトランジスタからなる第2の出力トランジスタ23bのゲートに接続される。この第2の出力トランジスタ23bは、図2に示した第2の出力トランジスタ21bとほぼ同じ機能を有する。

【0082】さらに、図4において、第1の出力トランジスタ23aのソースは、上記第2の基準電圧 V_{ref2} より高い電源電圧 V_{cc} を有する第1の電源に接続され、第1の出力トランジスタ22aのドレインは、共通のノードN22に接続される。また一方で、第2の出力トランジスタ23bのソースは、上記第1の基準電圧 V_{ref1} より低い電源電圧 V_{ss} を有する第2の電源に接続され、第2の出力トランジスタ23bのドレインは、共通のノードN22に接続される。さらに、この共通のノードN22は、後述の定電圧生成用抵抗4bを介して、第1のカレントミラー回路付きオペアンプ内の他方のNMOSトランジスタ43のゲート、および第2のカレントミラー回路付きオペアンプ内の他方のNMOSトランジスタ48のゲートに接続される。上記第1の出力トランジスタ23aのゲートに入力される電圧の電圧レベルに応じて第1の出力トランジスタ23aのソースから出力電圧 V_{pr} が输出される。この出力電圧 V_{pr} は、後述の定電圧生成用抵抗4bを介して、共通のノードN22からNMOSトランジスタ43のゲート（ノードN21）へフィードバックされる。また一方で、上記第2の出力トランジスタ23bのゲートに入力される電圧の電圧レベルに応じて第2の出力トランジスタ23bのソースから出力電圧 V_{pr} が输出される。この出力電圧 V_{pr} は、後述の定電圧生成用抵抗4bを介して、共通のノードN22からNMOSトランジスタ48のゲートへフィードバックされる。

【0083】さらに、図4において、ノードN21にお

ける電圧の電圧レベルが、第1の基準電圧Vref1の電圧レベルよりも低くなった場合を想定する。この場合、第1のカレントミラー回路付きオペアンプ40aにおける他方のNMOSトランジスタ43のゲート-ソース間の電圧が小さくなつてPMOSトランジスタ41からNMOSトランジスタ43へ供給される電流が減少する。第1のカレントミラー回路付きオペアンプ40a全体を流れれる電流は、電流源として機能するNMOSトランジスタ44により決まつてゐるために、PMOSトランジスタ41からNMOSトランジスタ43へ供給される電流が減少したときは、PMOSトランジスタ40からNMOSトランジスタ42へ供給される電流が増加する。このために、NMOSトランジスタ42のドレインの電位、すなわち、PMOSトランジスタからなる第1の出力トランジスタ23aのゲートの電位が下がる。この結果、第1の出力トランジスタ23aのゲート-ソース間の電圧がしきい値電圧よりも大きくなつて第1の出力トランジスタ23aが動作状態になり、上記ノードN21における電圧が上記第1の基準電圧Vref1に等しくなるまで上記ノードN22における電圧の電圧レベルを上げるように動作する。

【0084】さらに、この場合、第2のカレントミラー回路付きオペアンプ40bにおける他方のNMOSトランジスタ48のゲート-ソース間の電圧が小さくなつてPMOSトランジスタ46からNMOSトランジスタ48へ供給される電流が減少する。第2のカレントミラー回路付きオペアンプ40b全体を流れれる電流は、電流源として機能するNMOSトランジスタ49により決まつてゐるために、PMOSトランジスタ46からNMOSトランジスタ48へ供給される電流が減少したときは、PMOSトランジスタ45からNMOSトランジスタ47へ供給される電流が増加する。このために、NMOSトランジスタ47のドレインの電位、すなわち、NMOSトランジスタからなる第2の出力トランジスタ23bのゲートの電位が下がる。この結果、第2の出力トランジスタ23bのゲート-ソース間の電圧がしきい値電圧よりも小さくなつて第2の出力トランジスタ23bが非動作状態になる。

【0085】また一方で、上記ノードN21における電圧の電圧レベルが、第2の基準電圧Vref2の電圧レベルよりも高くなつた場合を想定する。この場合、第2のカレントミラー回路付きオペアンプ40bにおける他方のNMOSトランジスタ48のゲート-ソース間の電圧が大きくなつてPMOSトランジスタ46からNMOSトランジスタ48へ供給される電流が増加する。これによつて、PMOSトランジスタ45からNMOSトランジスタ47へ供給される電流が減少する。このために、NMOSトランジスタ47のドレインの電位、すなわち、NMOSトランジスタからなる第2の出力トランジスタ23bのゲートの電位が上がる。この結果、第2の出力トランジ

トランジスタ23bのゲート-ソース間の電圧がしきい値電圧よりも大きくなつて第2の出力トランジスタ23bが動作状態になり、上記ノードN21における電圧が上記第2の基準電圧Vref2に等しくなるまで上記ノードN22における電圧の出力電圧の電圧レベルを下げるよう動作する。

【0086】さらに、この場合、第1のカレントミラー回路付きオペアンプ40aにおける他方のNMOSトランジスタ43のゲート-ソース間の電圧が大きくなつてPMOSトランジスタ41からNMOSトランジスタ43へ供給される電流が増加する。これによつて、PMOSトランジスタ40からNMOSトランジスタ42へ供給される電流が減少する。このために、NMOSトランジスタ42のドレインの電位、すなわち、PMOSトランジスタからなる第1の出力トランジスタ23aのゲートの電位が上がる。この結果、第1の出力トランジスタ23aのゲート-ソース間の電圧がしきい値電圧よりも小さくなつて第1の出力トランジスタ23aが非動作状態になる。

【0087】さらに、図4の実施例においては、直列に接続された3つの定電圧生成用抵抗3b、4bおよび5bにより内部電源電圧Vintを分圧することによつて、第1の基準電圧Vref1よりも低い電圧値の出力電圧Vprを生成するようにしてゐる。これらの定電圧生成用抵抗3b、4bおよび5bは、前述の図3の定電圧生成用抵抗3a、4aおよび5aとほぼ同じ機能を有する。より詳しいいえば、定電圧生成用抵抗3bと定電圧生成用抵抗4bとの接続点に対応するノードN21の電圧は、第1の基準電圧Vref1と第2の基準電圧Vref2との間の電圧値を有する電圧になる。また一方で、定電圧生成用抵抗4bと定電圧生成用抵抗5bとの接続点に対応する共通のノードN22から、上記の電圧値を有する電圧よりも低い出力電圧Vprが取り出される。

【0088】要約すれば、上記ノードN21における電圧が第1の基準電圧Vref1よりも低い場合には、上記第1のカレントミラー回路付きオペアンプ40a内のNMOSトランジスタ42のドレインの電位が下がつてノードN22の出力電圧が上昇するように上記第1の出力トランジスタ23aが動作する。また一方で、上記ノードN21における電圧が第2の基準電圧Vref2よりも高い場合には、上記第2のカレントミラー回路付きオペアンプ40b内のNMOSトランジスタ47のドレインの電位が上がりつてノードN22の出力電圧が下降するように上記第2の出力トランジスタ23bが動作する。

【0089】前述したように、上記の第1のカレントミラー回路付きオペアンプ40aおよび第2のカレントミラー回路付きオペアンプ40bにより検出された電圧レベルが第1の基準電圧Vref1と第2の基準電圧Vref2との間にある場合には、不感帯となつて2つの出力トランジスタのいずれの動作も停止するようになる。図5は、

図4の実施例の構成に使用される基準電圧発生回路の一例を示す回路図である。

【0090】図5に示す基準電圧発生回路においては、直列に接続された3つの基準電圧生成用抵抗（分割抵抗）6、7および8により内部電源電圧Vintを分圧することによって、Vref1<Vref2の関係がいつでも保証されるような第1の基準電圧Vref1および第1の基準電圧Vref2を生成するようにしている。より詳しくいえば、最も高い電圧レベルの位置にある基準電圧生成用抵抗6と基準電圧生成用抵抗7との接続点から、第2の基準電圧Vref2が確実に取り出される。また一方で、最も低い電圧レベルの位置にある基準電圧生成用抵抗8と基準電圧生成用抵抗7との接続点から、第2の基準電圧Vref2よりも低い第1の基準電圧Vref1が確実に取り出される。さらに、これらの基準電圧生成用抵抗6～8を同じ材料（例えば、拡散抵抗やポリシリコン等）により作製すれば、内部電源電圧Vintに対して、温度や製造上のばらつきに関係なく、一定の比で第1の基準電圧Vref1および第2の基準電圧Vref2を生成することが可能になる。

【0091】図6は、本発明の第4の実施例の構成を示す回路図である。この第4の実施例では、本発明のオペアンプを、前述の図2～図4のカレントミラー回路付きオペアンプとは異なる種類のオペアンプにより実現している。図6に示す第4の実施例においても、図5に示した基準電圧発生回路と同じように、直列に接続された3つの基準電圧生成用抵抗6a、7aおよび8aにより内部電源電圧Vintを分圧することによって、Vref1<Vref2の関係がいつでも保証されるような第1の基準電圧Vref1および第1の基準電圧Vref2を生成するようにしている。これらの基準電圧生成用抵抗6a、7aおよび8aは、図5に示した基準電圧生成用抵抗6、7および8とほぼ同じ機能を有する。

【0092】図6の実施例において、本発明の第1および第2のオペアンプは、それぞれ、入力電圧と第1の基準電圧Vref1との電位差を増幅する第1のカレントミラーワン回路付きオペアンプ50a、および入力電圧と第2の基準電圧Vref2との電位差を増幅する第2のカレントミラーワン回路付きオペアンプ50bによって実現される。ただし、これらの第1のカレントミラーワン回路付きオペアンプ50aおよび第2のカレントミラーワン回路付きオペアンプ50bの構成は、前述の図2～図4のカレントミラーワン回路付きオペアンプとは異なる。

【0093】さらに、第1のカレントミラーワン回路付きオペアンプ50aは、差動増幅器として機能し、かつ、カレントミラーワン接続形式にて接続される一対のNMOSトランジスタ52、53を備えている。これらのNMOSトランジスタ52、53は、それぞれPMOSトランジスタ50、51を介して、第2の基準電圧Vref2よりも高い電源電圧Vccを有する第1の電源に接続される。ま

た一方で、第2のカレントミラーワン回路付きオペアンプ50bは、差動増幅器として機能し、かつ、カレントミラーワン接続形式にて接続される一対のNMOSトランジスタ56、57を備えている。これらのNMOSトランジスタ56、57は、それぞれPMOSトランジスタ54、55を介して、電源電圧Vccを有する第1の電源に接続される。

【0094】さらに、図6においては、第1の基準電圧Vref1が、第1のカレントミラーワン回路付きオペアンプ50aにおける一対のNMOSトランジスタ52、53の一方のNMOSトランジスタ52のソースに入力され、出力電圧Vpr（例えば、電源電圧Vccの1/2の電圧）と第1の基準電圧Vref1との電位差が増幅される。さらに、このようにして増幅された電圧が、一方のNMOSトランジスタ52のドレインから出力される。さらに、一対のNMOSトランジスタ52、53の一方のトランジスタ52のドレインは、PMOSトランジスタからなる第1の出力トランジスタ24aのゲートに接続される。この第1の出力トランジスタ24aは、図2に示した第1の出力トランジスタ21aとほぼ同じ機能を有する。

【0095】また一方で、第2の基準電圧Vref2が、第2のカレントミラーワン回路付きオペアンプ50bにおける一対のNMOSトランジスタ56、57の一方のNMOSトランジスタ56のゲートに入力され、出力電圧Vprと第2の基準電圧Vref2との電位差が増幅される。このようにして増幅された電圧が、一方のNMOSトランジスタ57のドレインから出力される。さらに、一対のNMOSトランジスタ56、57の一方のトランジスタ56のドレインは、NMOSトランジスタからなる第2の出力トランジスタ24bのゲートに接続される。この第2の出力トランジスタ24bは、図2に示した第2の出力トランジスタ21bとほぼ同じ機能を有する。

【0096】さらに、図6において、第1の出力トランジスタ24aのソースは、電源電圧Vccを有する第1の電源に接続され、第1の出力トランジスタ24aのドレインは、共通のノードに接続される。また一方で、第2の出力トランジスタ24bのソースは、電源電圧Vssを有する第2の電源に接続され、第2の出力トランジスタ24bのドレインは、共通のノードに接続される。さらに、この共通のノードは、第1のカレントミラーワン回路付きオペアンプ内の他方のNMOSトランジスタ53のソース、および第2のカレントミラーワン回路付きオペアンプ内の他方のNMOSトランジスタ57のソースに接続される。上記第1の出力トランジスタ24aのゲートに入力される電圧の電圧レベルに応じて第1の出力トランジスタ24aのドレインから出力電圧Vprが出力される。この出力電圧Vprは、NMOSトランジスタ53のソースへフィードバックされる。また一方で、上記第2の出力トランジスタ24bのゲートに入力される電圧の電圧

レベルに応じて第2の出力トランジスタ24bのドレンから出力電圧Vprが出力される。この出力電圧Vprは、NMOSトランジスタ57のソースへフィードバックされる。

【0097】さらに、図6において、上記出力電圧Vprの電圧レベルが、第1の基準電圧Vref1の電圧レベルよりも低くなった場合を想定する。この場合、第1のカレントミラー回路付きオペアンプ50aにおける他方のNMOSトランジスタ53のソースの電位が下がってゲート-ソース間の電圧が大きくなるので、PMOSトランジスタ51からNMOSトランジスタ53へ供給される電流が増加する。このために、NMOSトランジスタ53のドレンの電位、すなわち、PMOSトランジスタからなる第1の出力トランジスタ24aのゲートの電位が下がる。この結果、第1の出力トランジスタ24aのゲート-ソース間の電圧がしきい値電圧よりも大きくなつて第1の出力トランジスタ24aが動作状態になり、上記出力電圧の電圧レベルを上げるように動作する。

【0098】さらに、この場合、第2のカレントミラー回路付きオペアンプ50bにおける他方のNMOSトランジスタ57のゲート-ソース間の電圧が大きくなつてPMOSトランジスタ55からNMOSトランジスタ57へ供給される電流が増加する。このために、NMOSトランジスタ57のドレンの電位、すなわち、NMOSトランジスタからなる第2の出力トランジスタ24bのゲートの電位が下がる。この結果、第2の出力トランジスタ24bのゲート-ソース間の電圧がしきい値電圧よりも小さくなつて第2の出力トランジスタ24bが非動作状態になる。

【0099】また一方で、上記出力電圧Vprの電圧レベルが、第2の基準電圧Vref2の電圧レベルよりも高くなつた場合を想定する。この場合、第2のカレントミラー回路付きオペアンプ50bにおける他方のNMOSトランジスタ57のソースの電位が上がってゲート-ソース間の電圧が小さくなるので、PMOSトランジスタ55からNMOSトランジスタ57へ供給される電流が減少する。このために、NMOSトランジスタ57のドレンの電位、すなわち、NMOSトランジスタからなる第2の出力トランジスタ24bのゲートの電位が上がる。この結果、第2の出力トランジスタ24bのゲート-ソース間の電圧がしきい値電圧よりも大きくなつて第2の出力トランジスタ24bが動作状態になり、上記出力電圧の電圧レベルを下げるよう動作する。

【0100】さらに、この場合、第1のカレントミラー回路付きオペアンプ50aにおける他方のNMOSトランジスタ53のゲート-ソース間の電圧が小さくなつてPMOSトランジスタ51からNMOSトランジスタ53へ供給される電流が減少する。このために、NMOSトランジスタ53のドレンの電位、すなわち、PMOSトランジスタからなる第1の出力トランジスタ24a

のゲートの電位が上がる。この結果、第1の出力トランジスタ24aのゲート-ソース間の電圧がしきい値電圧よりも小さくなつて第1の出力トランジスタ24aが非動作状態になる。

【0101】要約すれば、上記の第1のカレントミラー回路付きオペアンプ40aおよび第2のカレントミラー回路付きオペアンプ40bにより検出された電圧レベルが第1の基準電圧Vref1よりも低い場合には、上記第1のカレントミラー回路付きオペアンプ50a内のNMOSトランジスタ53のドレンの電位が下がって出力電圧が上昇するように上記第1の出力トランジスタ24aが動作する。

【0102】また一方で、上記の第1のカレントミラー回路付きオペアンプ40aおよび第2のカレントミラー回路付きオペアンプ40bにより検出された電圧レベルが第2の基準電圧Vref2よりも高い場合には、上記第2のカレントミラー回路付きオペアンプ50b内のNMOSトランジスタ57のドレンの電位が上がって出力電圧が下降するように上記第2の出力トランジスタ24bが動作する。

【0103】上記の第4の実施例においても、前述の第3の実施例の場合と同じように、上記の第1のカレントミラー回路付きオペアンプ50aおよび第2のカレントミラー回路付きオペアンプ50bにより検出された電圧レベルが第1の基準電圧Vref1と第2の基準電圧Vref2との間にある場合には、不感帯となって2つの出力トランジスタのいずれの動作も停止するようになる。

【0104】図7は、本発明の第5の実施例の構成を示す回路図である。この第5の実施例に係る半導体集積回路は、図6に示した第4の実施例に貫通電流防止用ダイオード25cを追加したものである。この貫通電流防止用ダイオード25c以外の回路構成は、図6の第4の実施例の回路構成と同じなので、ここでは、貫通電流防止用ダイオード25c以外のカレントミラー回路付きオペアンプおよび出力トランジスタの詳細な構成を再度説明することは省略する。

【0105】一般に、NMOSトランジスタのドレンの電位が“H”レベルになっている場合、このドレンの電位は、ほぼ電源電圧Vccの電圧レベルにほぼ等しくなる。これに対し、NMOSトランジスタのドレンの電位が“L”レベルになっている場合、このドレンの電位は、出力電圧Vprより少し高いレベルになる。また一方で、PMOSトランジスタのドレンの電位が

“H”レベルになっている場合、このドレンの電位は、電源電圧Vccの電圧レベルより少し低いレベルになる。これに対し、PMOSトランジスタのドレンの電位が“L”レベルである場合、この出力側の“L”レベルは、グランドレベル(0V)にほぼ等しくなる。

【0106】より具体的にいえば、図7において、第2のカレントミラー回路付きオペアンプ50bにおけるN

MOSトランジスタ57が非動作状態になった場合でも、このNMOSトランジスタ57のドレインのレベルが出力電圧V_{Pr}よりも少し高くなっている。このために、第2のカレントミラー回路付きオペアンプ50bの出力側におけるNMOSトランジスタ57のドレインに接続された第2の出力トランジスタ24bの入力側のゲートの電位が充分下がらなくなる。この結果、第1の出力トランジスタ24bのゲート-ソース間の電圧がしきい値電圧より小さくならず、上記第2の出力トランジスタ24bが動作状態から非動作状態にならない場合が生じる。これによって、上記第1の出力トランジスタ24aが動作状態になっているときに、電源電圧V_{cc}の第1の電源から第1の出力トランジスタ24aおよび第2の出力トランジスタ24bを通過して電源電圧V_{ss}の第1の電源に向かって貫通電流が流れという不都合が生じてくる。

【0107】図7の第5の実施例は、このような不都合な事態に対処するために考え出されたものであり、第2の出力トランジスタ24bと第2の電源との間に貫通電流防止用ダイオード25cを挿入するようにしたものである。このようにすれば、貫通電流防止用ダイオード25cによって第1の出力トランジスタ24bのソースの電位をグランドレベルから少し高くすることができるで、第1の出力トランジスタ24bのゲートの電位がグランドレベルから少し高くなっていた場合でも、第1の出力トランジスタ24bのゲート-ソース間の電圧が実質的にしきい値電圧より小さくなるので、第2の出力トランジスタ24bを確実に非動作状態にすることが可能になる。

【0108】この結果、PMOSトランジスタからなる第1の出力トランジスタ24aが動作状態のときにNMOSトランジスタからなる第2の出力トランジスタ24bも動作状態になって、第1の電源から第1の出力トランジスタ24aおよび第2の出力トランジスタ24bを通過して第2の電源へ貫通電流が流れのを防止することが可能になる。

【0109】図8は、本発明の第6の実施例の構成を示す回路図である。この第6の実施例では、NMOSトランジスタからなる第2の出力トランジスタ26bのゲートに、第2のカレントミラー回路付きオペアンプ70b内のPMOSトランジスタ77のドレインを接続するようしている。前述したように、PMOSトランジスタが非動作状態になってそのドレインが“L”レベルである場合、この“L”レベルは、グランドレベルにはほぼ等しくなる。したがって、上記のような回路構成にすれば、NMOSトランジスタからなる第2の出力トランジスタ26bが非動作状態になるときに、上記第2の出力トランジスタ26bのゲートの電位がグランドレベルにはほぼ等しくなる。それゆえに、第1の出力トランジスタ24bのゲート-ソース間の電圧がしきい値電圧より小

さくなり、上記第2の出力トランジスタ26bが確実に非動作状態になる。

【0110】この結果、PMOSトランジスタからなる第1の出力トランジスタ26aが動作状態のときにNMOSトランジスタからなる第2の出力トランジスタ26bは非動作状態になり、第1の電源から第1の出力トランジスタ26aおよび第2の出力トランジスタ26bを通過して第2の電源へ貫通電流が流れのを確実に防止することができる。

【0111】ついで、図8の実施例における第1のカレントミラー回路付きオペアンプ70aおよび第2のカレントミラー回路付きオペアンプ70bや、その他の関連する回路の構成を詳しく説明する。図8の実施例において、第1のカレントミラー回路付きオペアンプ70aの構成は、前述の第3の実施例のカレントミラー回路付きオペアンプの構成と同じである。ただし、第2のカレントミラー回路付きオペアンプ70bは、前述の第3の実施例の場合と異なり、差動増幅器として機能する一対のトランジスタとして、NMOSトランジスタの代わりにPMOSトランジスタを用いている。

【0112】さらに、図8において、第1のカレントミラー回路付きオペアンプ70aは、差動増幅器として機能する一対のPMOSトランジスタ72、73と、カレントミラー回路付きオペアンプ全体の電流源として機能するNMOSトランジスタ74と、一対のNMOSトランジスタ72、73の一方のNMOSトランジスタ72に流れる電流を調整するためのカレントミラー接続形式の2つのPMOSトランジスタ70、71とを備えている。また一方で、第2のカレントミラー回路付きオペアンプ70bは、差動増幅器として機能する一対のPMOSトランジスタ77、78と、カレントミラー回路付きオペアンプ全体の電流源として機能するPMOSトランジスタ79と、一対のPMOSトランジスタ77、78の一方のPMOSトランジスタ77に流れる電流を調整するためのカレントミラー接続形式の2つのNMOSトランジスタ75、76とを備えている。

【0113】さらに、図8において、第1の基準電圧V_{ref1}が、第1のカレントミラー回路付きオペアンプ70aにおける一対のNMOSトランジスタ72、73の一方のNMOSトランジスタ72のゲートに入力され、ノードN21における電圧と第1の基準電圧V_{ref1}との電位差が増幅される。このようにして増幅された電圧が、一方のNMOSトランジスタ72のドレインから出力される。さらに、一対のNMOSトランジスタ72、73の一方のNMOSトランジスタ72のドレインは、PMOSトランジスタからなる第1の出力トランジスタ26aのゲートに接続される。

【0114】また一方で、第2の基準電圧V_{ref2}が、第2のカレントミラー回路付きオペアンプ70bにおける一対のPMOSトランジスタ77、78の一方のPMOSトランジスタ77のゲートに入力され、ノードN22における電圧と第2の基準電圧V_{ref2}との電位差が増幅される。このようにして増幅された電圧が、一方のPMOSトランジスタ77のドレインから出力される。さらに、一対のPMOSトランジスタ77、78の一方のPMOSトランジスタ77のドレインは、NMOSトランジスタからなる第2の出力トランジスタ26bのゲートに接続される。

Sトランジスタ77のゲートに入力され、ノードN21における電圧と第2の基準電圧Vref2との電位差が増幅される。このようにして増幅された電圧が、一方のPMOSトランジスタ77のドレインから出力される。さらに、一対のPMOSトランジスタ77、78の一方のPMOSトランジスタ77のドレインは、NMOSトランジスタからなる第2の出力トランジスタ26bのゲートに接続される。

【0115】さらに、図8において、第1の出力トランジスタ26aのソースは、上記第2の基準電圧Vref2より高い電源電圧Vccを有する第1の電源に接続され、第1の出力トランジスタ26aのドレインは、共通のノードN22に接続される。また一方で、第2の出力トランジスタ26bのソースは、上記第1の基準電圧Vref1より低い電源電圧Vssを有する第2の電源に接続され、第2の出力トランジスタ26bのドレインは、共通のノードN22に接続される。さらに、この共通のノードN22は、定電圧生成用抵抗4cおよび4dを介して、第1のカレントミラー回路付きオペアンプ内の他方のNMOSトランジスタ73のゲート、および第2のカレントミラー回路付きオペアンプ内の他方のPMOSトランジスタ78のゲートに接続される。上記第1の出力トランジスタ26aのゲートに入力される電圧の電圧レベルに応じて第1の出力トランジスタ26aのドレインから出力電圧Vprが outputされる。この出力電圧Vprは、共通のノードN22から定電圧生成用抵抗4dおよび4cを介してNMOSトランジスタ73のゲート（ノードN21）へフィードバックされる。また一方で、上記第2の出力トランジスタ26bのゲートに入力される電圧の電圧レベルに応じて第2の出力トランジスタ26bのドレインから出力電圧Vprが outputされる。この出力電圧Vprは、共通のノードN22から定電圧生成用抵抗4dおよび4cを介してPMOSトランジスタ78のゲートへフィードバックされる。

【0116】さらに、図8において、上記ノードN21における電圧の電圧レベルが、第1の基準電圧Vref1の電圧レベルよりも低くなった場合を想定する。この場合、第1のカレントミラー回路付きオペアンプ70aにおける他方のNMOSトランジスタ73のゲートソース間の電圧が小さくなつてPMOSトランジスタ71からNMOSトランジスタ73へ供給される電流が減少する。第1のカレントミラー回路付きオペアンプ70a全体を流れる電流は、電流源として機能するNMOSトランジスタ74により決まっているために、PMOSトランジスタ71からNMOSトランジスタ73へ供給される電流が減少したときは、PMOSトランジスタ70からNMOSトランジスタ72へ供給される電流が増加する。このために、NMOSトランジスタ72のドレインの電位、すなわち、PMOSトランジスタからなる第1の出力トランジスタ23aのゲートの電位が下がる。この出力トランジスタ26aのゲートの電位が下がる。

の結果、第1の出力トランジスタ26aのゲートソース間の電圧がしきい値電圧よりも大きくなつて第1の出力トランジスタ26aが動作状態になり、上記出力電圧Vprの電圧レベルを上げるように動作する。

【0117】さらに、この場合、第2のカレントミラー回路付きオペアンプ70bにおける他方のPMOSトランジスタ78のゲートソース間の電圧が大きくなつてNMOSトランジスタ76からPMOSトランジスタ78へ供給される電流が増加する。これによって、NMOSトランジスタ75からPMOSトランジスタ77へ供給される電流が減少する。このために、PMOSトランジスタ77のドレインの電位、すなわち、NMOSトランジスタからなる第2の出力トランジスタ26bのゲートの電位が下がる。この結果、第2の出力トランジスタ26bのゲートソース間の電圧がしきい値電圧よりも小さくなつて第2の出力トランジスタ26bが非動作状態になる。前述したように、ここでは、NMOSトランジスタからなる第2の出力トランジスタ26bのゲートに、PMOSトランジスタ77のドレインを接続しているので、第2の出力トランジスタ26bを確実に非動作状態にすることが可能になる。

【0118】また一方で、上記ノードN21における電圧の電圧レベルが、第2の基準電圧Vref2の電圧レベルよりも高くなった場合を想定する。この場合、第2のカレントミラー回路付きオペアンプ70bにおける他方のPMOSトランジスタ78のゲートソース間の電圧が小さくなつてNMOSトランジスタ76からPMOSトランジスタ78へ供給される電流が減少する。これによって、NMOSトランジスタ75からPMOSトランジスタ77へ供給される電流が増加する。このために、PMOSトランジスタ77のドレインの電位、すなわち、NMOSトランジスタからなる第2の出力トランジスタ26bのゲートの電位が上がる。この結果、第2の出力トランジスタ26bのゲートソース間の電圧がしきい値電圧よりも大きくなつて第2の出力トランジスタ26bが動作状態になり、上記出力電圧Vprの電圧レベルを下げるように動作する。

【0119】さらに、この場合、第1のカレントミラー回路付きオペアンプ70aにおける他方のNMOSトランジスタ73のゲートソース間の電圧が大きくなつてPMOSトランジスタ71からNMOSトランジスタ73へ供給される電流が増加する。これによって、PMOSトランジスタ70からNMOSトランジスタ72へ供給される電流が減少する。このために、NMOSトランジスタ72のドレインの電位、すなわち、PMOSトランジスタからなる第1の出力トランジスタ23aのゲートの電位が上がる。この結果、第1の出力トランジスタ26aのゲートソース間の電圧がしきい値電圧よりも小さくなつて第1の出力トランジスタ26aが非動作状態になる。

【0120】さらに、図8において、直列に接続された5つの基準電圧生成用抵抗6c、6d、7c、8cおよび8dにより内部電源電圧Vintを分圧することによって、Vref1<Vref2の関係がいつでも保証されるような第1の基準電圧Vref1および第1の基準電圧Vref2を生成するようにしている。より詳しくいえば、基準電圧生成用抵抗6dと基準電圧生成用抵抗7cとの接続点から、第2の基準電圧Vref2が確実に取り出される。また一方で、より低い電圧レベルの位置にある基準電圧生成用抵抗7cと基準電圧生成用抵抗8cとの接続点から、第2の基準電圧Vref2よりも低い第1の基準電圧Vref1が確実に取り出される。

【0121】さらに、図8において、直列に接続された4つの定電圧生成用抵抗3c、4c、4dおよび5cにより内部電源電圧Vintを分圧することによって、第1の基準電圧Vref1よりも低い電圧値の出力電圧Vprを生成するようにしている。これらの定電圧生成用抵抗3c～5cは、前述の図4の定電圧生成用抵抗3b、4bおよび5bとほぼ同じ機能を有する。ここでは、定電圧生成用抵抗4dと定電圧生成用抵抗5cとの接続点に対応する共通のノードN22から、第1の基準電圧Vref1よりも低い出力電圧Vprが取り出される。

【0122】要約すれば、上記の第1のカレントミラー回路付きオペアンプ70aおよび第2のカレントミラー回路付きオペアンプ70bにより検出された電圧レベルが第1の基準電圧Vref1よりも低い場合には、上記第1のカレントミラー回路付きオペアンプ70a内のNMO Sトランジスタ72のドレインの電位が下がってノードN22の出力電圧が上昇するように上記第1の出力トランジスタ26aが動作する。

【0123】また一方で、上記の第1のカレントミラー回路付きオペアンプ70aおよび第2のカレントミラー回路付きオペアンプ70bにより検出された電圧レベルが第2の基準電圧Vref2よりも高い場合には、上記第2のカレントミラー回路付きオペアンプ70b内のPMOSトランジスタ77のドレインの電位が上がってノードN22の出力電圧が下降するように上記第2の出力トランジスタ26bが動作する。

【0124】上記の第6の実施例においても、前述の第3および第4の実施例と同じように、第1の出力トランジスタ26aおよび第2の出力トランジスタ26bによりそれぞれ検出された電圧レベルが第1の基準電圧Vref1と第2の基準電圧Vref2との間にある場合には、不感帯となって2つの出力トランジスタのいずれの動作も停止するようになる。

【0125】

【発明の効果】以上説明したように、本発明の半導体集積回路によれば、第1に、入力側の電圧と基準電圧との電位差を一对のオペアンプにより増幅して得られる電圧の電圧レベルに応じて出力トランジスタのオン・オフ動作を行なう。

作を行い、この出力トランジスタの出力電圧を上記オペアンプの入力側にフィードバックして目的とする電圧を正確に生成するようにしているので、トランジスタのゲート～ソース間のしきい値電圧の影響が従来よりも小さくなり、電源電圧が低くなった場合でも電源電圧の1/2の電圧等の定電圧を安定に生成することが可能になる。

【0126】さらに、本発明の半導体集積回路によれば、第2に、一对のオペアンプをカレントミラー回路付きオペアンプにより実現し、これらのカレントミラー回路付きオペアンプにより出力トランジスタを駆動するようしているので、簡単な回路構成により、低電圧動作環境の下で出力トランジスタの駆動能力を充分発揮させることができるので、電源電圧の1/2の電圧等の定電圧を安定に生成することが可能になる。

【0127】さらに、本発明の半導体集積回路によれば、第3に、カレントミラー回路付きオペアンプが動作しやすい基準電圧を使用してカレントミラー回路付きオペアンプを動作させ、基準電圧より低い所望の出力電圧を生成するようしているので、電源電圧がごく低い場合でもカレントミラー回路付きオペアンプを安定に動作させ、比較的低い電圧値の定電圧を正確に生成することが可能になる。

【0128】さらに、本発明の半導体集積回路によれば、第4に、一对のオペアンプに電圧値の異なる基準電圧をそれぞれ入力して出力電圧の検出に不感帯を設けるようしているので、出力トランジスタに貫通電流が流れるのが防止され、電源電圧の1/2の電圧等の定電圧を生成する回路の安定動作が保証される。さらに、本発明の半導体集積回路によれば、第5に、分割抵抗を利用して電源電圧を分圧することにより2つの基準電圧を生成し、一方の基準電圧の電圧値を他方の基準電圧の電圧値より常に小さく設定するようしているので、温度や製造上のばらつきに関係なく出力電圧の検出に不感帯を設けることができるようになり、電源電圧の1/2の電圧等の定電圧を生成する回路の安定動作が保証される。

【0129】さらに、本発明の半導体集積回路によれば、第6に、NMOSトランジスタからなる一方の出力トランジスタと電源との間にダイオードを挿入することにより、当該出力トランジスタを確実に非動作状態にすることができるので、2つの出力トランジスタ間に貫通電流が流れののを確実に防止して電源電圧の1/2の電圧等の定電圧を生成する回路を安定に動作させることができる。

【0130】さらに、本発明の半導体集積回路によれば、第7に、NMOSトランジスタからなる一方の出力トランジスタの入力端子に、カレントミラー回路付きオペアンプ内のPMOSトランジスタの出力端子を接続しているために、当該出力トランジスタを確実に非動作状態にすることができるので、2つの出力トランジスタ間

に貫通電流が流れるのを確実に防止して電源電圧の1/2の電圧等の定電圧を生成する回路を安定に動作させることができ可能になる。

【図面の簡単な説明】

【図1】本発明の基本原理に基づく基本実施例の構成を示す回路図である。

【図2】本発明の第1の実施例の構成を示す回路図である。

【図3】本発明の第2の実施例の構成を示す回路図である。

【図4】本発明の第3の実施例の構成を示す回路図である。

【図5】図4の実施例の構成に使用される基準電圧発生回路の一例を示す回路図である。

【図6】本発明の第4の実施例の構成を示す回路図である。

【図7】本発明の第5の実施例の構成を示す回路図である。

【図8】本発明の第6の実施例の構成を示す回路図である。

【図9】一般のDRAMの概略的な構成を示すブロック図である。

【図10】図9のセンスアンプ内のビット線プリチャージ回路の構成例を示す回路図である。

【図11】図9のメモリセルアレイ内のメモリセルの構成例を示す回路図である。

【図12】電源電圧の1/2の電圧でもってビット線をプリチャージするときのビット線の電位の変化を示すタイミングチャートである。

【図13】電源電圧でもってビット線をプリチャージするときのビット線の電位の変化を示すタイミングチャートである。

【図14】従来の定電圧発生回路を有する半導体集積回路の一構成例を示す回路図である。

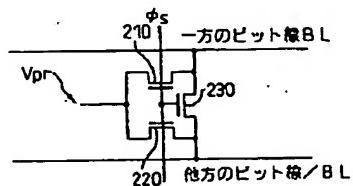
【符号の説明】

1…第1のオペレーションアンプ

【図10】

図10

図9のセンスアンプ内のビット線プリチャージ回路の構成例を示す回路図



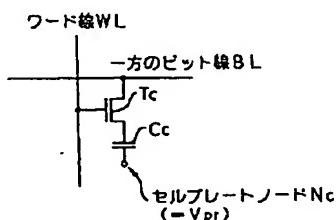
210, 220 および 230 …ビット線プリチャージ用トランジスタ

- 2…第2のオペレーションアンプ
- 3…第1の出力トランジスタ
- 4…第2の出力トランジスタ
- 10a…第1のカレントミラー回路付きオペアンプ
- 10b…第2のカレントミラー回路付きオペアンプ
- 10, 11, 15 および 16…PMOSトランジスタ
- 12~14, および 17~19…NMOSトランジスタ
- 21a~24a, および 26a…第1の出力トランジスター
- 21b~24b, および 26b…第2の出力トランジスター
- 25c…貫通電流防止用ダイオード
- 30a…第1のカレントミラー回路付きオペアンプ
- 30b…第2のカレントミラー回路付きオペアンプ
- 30, 31, 35 および 36…PMOSトランジスタ
- 32~34, および 37~39…NMOSトランジスタ
- 40a…第1のカレントミラー回路付きオペアンプ
- 40b…第2のカレントミラー回路付きオペアンプ
- 40, 41, 45 および 46…PMOSトランジスタ
- 42~44, および 47~49…NMOSトランジスタ
- 50a…第1のカレントミラー回路付きオペアンプ
- 50b…第2のカレントミラー回路付きオペアンプ
- 50, 51, 54 および 55…PMOSトランジスタ
- 52, 53, 56 および 57…NMOSトランジスタ
- 70a…第1のカレントミラー回路付きオペアンプ
- 70b…第2のカレントミラー回路付きオペアンプ
- 70, 71, および 77~79…PMOSトランジスタ
- 72~74, 75 および 76…NMOSトランジスタ
- 100…メモリセルアレイ
- 200…センスアンプ
- 210, 220 および 230…ビット線プリチャージ用トランジスタ
- 300…メインアンプ
- 400…I/Oバッファ
- 500…入力バッファ
- 600…デコード

【図11】

図11

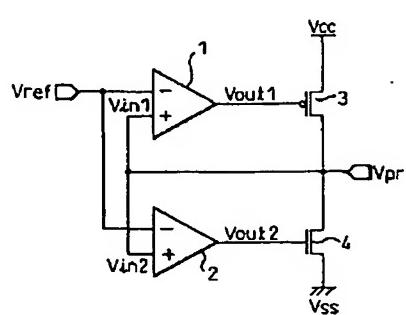
図9のメモリセルアレイ内のメモリセルの構成例を示す回路図



【図1】

図1

本発明の基本原理に基づく基本実施例の構成を示す回路図

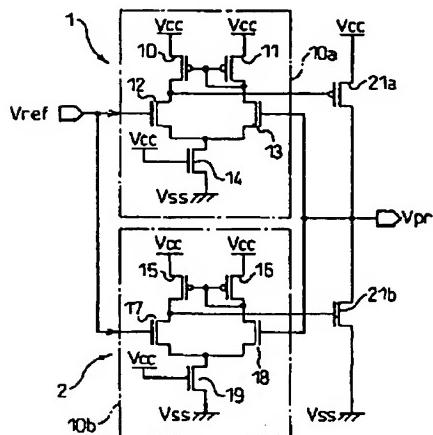


- 1…第1のオペレーションアンプ
2…第2のオペレーションアンプ
3…第1の出カトランジスタ
4…第2の出カトランジスタ

【図2】

図2

本発明の第1の実施例の構成を示す回路図

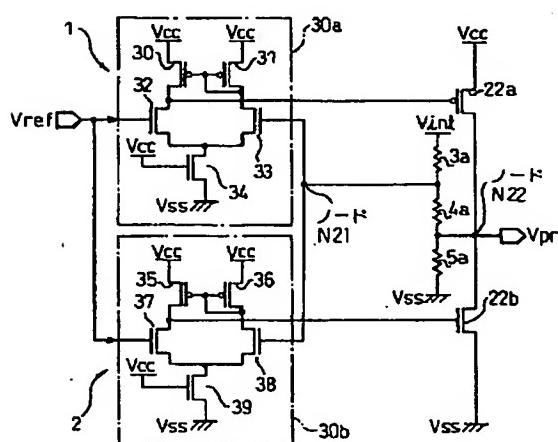


- 10a…第1のカレントミラー回路付きオペアンプ
10b…第2のカレントミラー回路付きオペアンプ
21a…第1の出カトランジスタ
21b…第2の出カトランジスタ

【図3】

図3

本発明の第2の実施例の構成を示す回路図

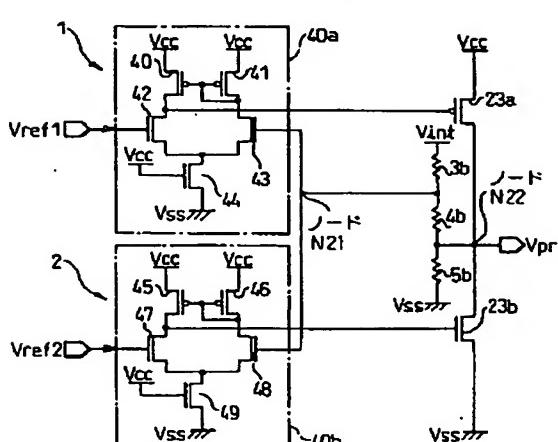


- 3a～5a…定電圧生成用抵抗
22a…第1の出カトランジスタ
22b…第2の出カトランジスタ
30a…第1のカレントミラー回路付きオペアンプ
30b…第2のカレントミラー回路付きオペアンプ

【図4】

図4

本発明の第3の実施例の構成を示す回路図



- 3b～5b…定電圧生成用抵抗
23a…第1の出カトランジスタ
23b…第2の出カトランジスタ
40a…第1のカレントミラー回路付きオペアンプ
40b…第2のカレントミラー回路付きオペアンプ

【図5】

図5

図4の実施例に使用される基準電圧発生回路の一例を示す回路図

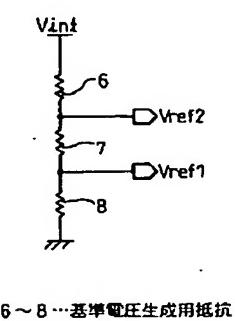


図6

【図6】

本発明の第4の実施例を示す回路図

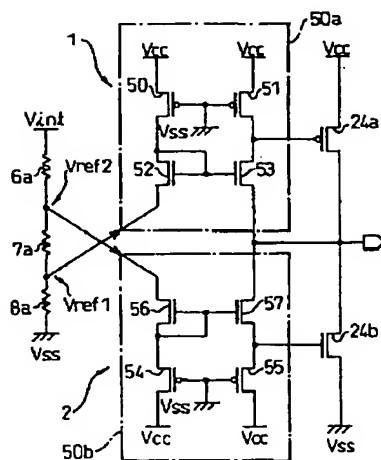
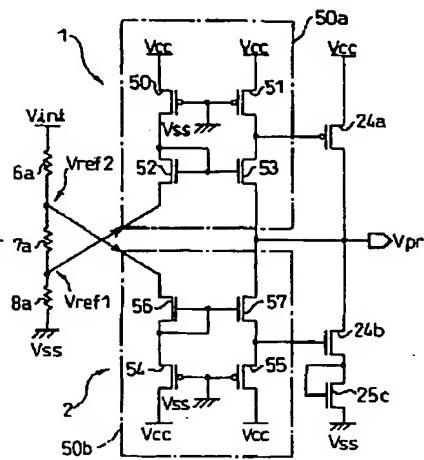


図7

【図7】

本発明の第5の実施例の構成を示す回路図



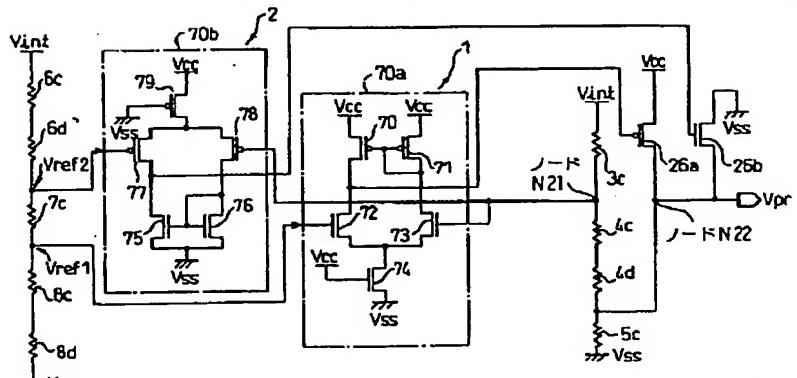
6a～8a…基準電圧生成用抵抗
24a…第1の出力トランジスタ
24b…第2の出カトランジスタ
50a…第1のカレントミラーハ回路付きオペアンプ
50b…第2のカレントミラーハ回路付きオペアンプ

25c…過電流防止用ダイオード

【図8】

本発明の第6の実施例の構成を示す回路図

図8

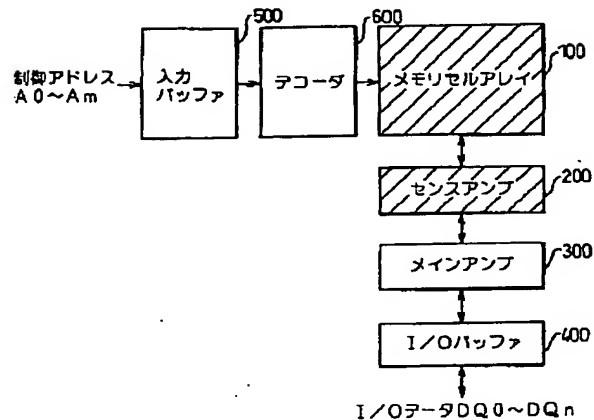


3c, 4c, 4dおよび5c…定電圧生成用抵抗
6c, 6d, 7c, 8cおよび8d…基準電圧生成用抵抗
26a…第1の出カトランジスタ
26b…第2の出カトランジスタ

70a…第1のカレントミラーハ回路
付きオペアンプ
70b…第2のカレントミラーハ回路
付きオペアンプ

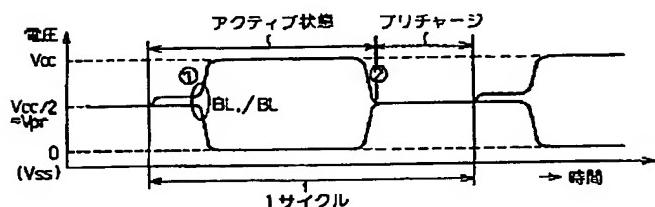
【図9】

一般のDRAMの概略的な構成を示すブロック図



【図12】

電源電圧 Vcc の 1/2 の電圧でもってビット線をプリチャージするときのビット線の電位の変化を示すタイミングチャート



【図13】

電源電圧 Vss でもってビット線をプリチャージするときのビット線の電位の変化を示すタイミングチャート

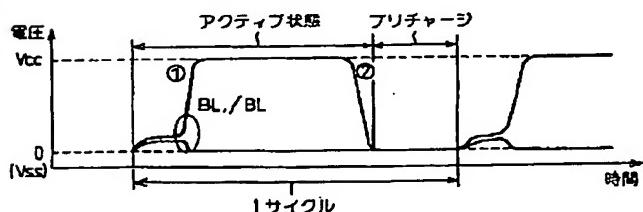


図 6

【図14】

従来の定電圧発生回路を有する半導体集積回路の一構成例を示す回路図

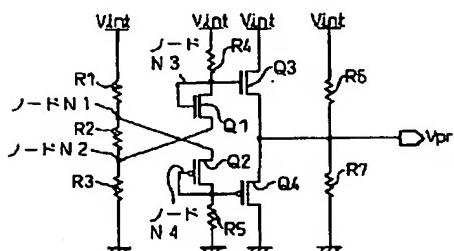


図 12

図 13

フロントページの続き

(72)発明者 澤田 雅人

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 中村 俊和

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 北本 紗子

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 川畑 邦範

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 加納 英樹

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 長谷川 正智

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 古賀 徹

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72)発明者 石井 祐樹

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内